

数据手册

Datasheet

G32R501

基于 **Cortex-M52** 内核的 **32** 位实时微控制器

版本: **V1.9**

1. 产品特性

■ Arm Cortex-M52 32 位 CPU (双核)

- 最高支持 250 MHz (典型值 200MHz)
- IEEE 754 单精度及双精度浮点单元 (FPU)
- 紫电数学指令扩展单元
 - 三角函数加速器 (TMU)
 - Viterbi/复杂数学单元 (VCU)
- 8 个硬件断点
- 搭载基于矢量扩充方案 (MVE) 的 Helium™ 技术
- 具有处理器间通信单元 (IPC)

■ 存储器

- 640KB 的嵌入式 Flash (ECC 保护)
- 128KB SRAM (奇偶校验保护)
- 支持第三方开发的双区安全
- 唯一标识 (UID) 号

■ 时钟和系统控制

- 两个内部零引脚 10MHz 振荡器
- 片上晶振振荡器和外部时钟输入
- 窗口看门狗计时器模块
- 丢失时钟检测电路

■ 1.1V 内核、3.3V I/O 设计

- 内置 1.1V 线性稳压器
- 欠压复位 (BOR) 电路

■ 系统外设

- 6 通道直接存储器存取 (DMA) 控制器
- 44 个独立可编程多路复用通用输入/输出 (GPIO) 引脚
- 31 路可复用为数字量输入的模拟量输入口
- 增强型外设中断扩展 (EXTI) 模块
- 支持多个具有外部唤醒功能的低功耗模式 (LPM)

■ 通信外设

- 1 个电源管理总线 (PMBus) 接口
- 1 个内部集成电路 (I2C) 接口 (引脚可引导)

- 2 个控制器局域网 (CAN) 总线端口 (引脚可引导)
- 2 个串行外设接口 (SPI) 端口 (引脚可引导)
- 2 个串行通信接口 (UART) (引脚可引导)
- 1 个与 UART 兼容的本地互连网络 (LIN)
- 1 个四线串行接口 (QSPI)

■ 模拟系统

- 3 个 3.45 MSPS 12 位模数转换器 (ADC)
 - 多达 31 个外部通道
 - 每个 ADC 具有四个集成后处理块 (PPB)
- 7 个带 12 位参考数模转换器 (DAC) 的窗口比较器 (COMP)
 - 数字干扰滤波器
- 2 个 12 位缓冲 DAC 输出

■ 增强型控制外设

- 16 个具有高分辨率功能 (150ps 分辨率) 的 PWM 通道
 - 具有高分辨率的集成死区支持
 - 集成硬件跳匣区域 (TZ)
- 7 个增强型捕捉 (CAP) 模块
 - 在 2 个模块上提供高分辨率捕捉 (HRCAP)
- 2 个支持 CW/CCW 运行模式的增强型正交编码器脉冲 (QEP) 模块
- 4 条 $\Sigma\Delta$ 滤波器模块 (SDF) 输入通道 (每条通道 2 个并联滤波器)
 - 标准 SDF 数据滤波
 - 比较器滤波器用于对高值或低值情况进行快速操作

■ 灵活逻辑块 (FLB)

- 增强现有外设功能

■ 符合功能安全标准

- 符合 IEC61508 SIL2 认证要求

■ 相关认证

- AEC-Q100 认证
- IEC 61508 认证

■ 封装选项

- LQFP 100, 14mm*14mm
- E-LQFP 100, 14mm*14mm
- LQFP 80, 12mm*12mm
- LQFP 80, 10mm*10mm
- LQFP 64, 10mm*10mm
- E-LQFP 64, 10mm*10mm
- QFN 56, 7mm*7mm

■ 温度选项（环境温度）

- -40℃~105℃
- -40℃~125℃

■ 应用

- 商用电源（通信电源/服务器电源）
- 电机控制器（伺服/变频/BLDC）
- 车载充电器（OBC）
- 直流充电电源模块
- 光伏逆变器（微型/组串/集中式）
- 能量存储电源转换系统（PCS）
- 三相 UPS
- 工业交流/直流电源

目录

1.	产品特性	2
2.	产品信息	8
2.1.	产品信息表	8
2.2.	产品型号	12
3.	引脚信息	14
3.1.	引脚定义图	14
3.2.	引脚属性	18
3.3.	引脚信号说明	49
3.3.1.	模拟信号	49
3.3.2.	数字信号	55
3.3.3.	电源和接地	61
3.3.4.	调试和复位	62
3.4.	引脚多路复用	64
3.4.1.	GPIO 多路复用引脚	64
3.4.2.	可复用为数字量输入的模拟量输入口（AIO）	77
3.4.3.	GPIO 输入 X-BAR	77
3.4.4.	输出 X-BAR 和 PWM X-BAR	78
3.5.	带有内部上拉或下拉的引脚	79
3.6.	未使用引脚的连接	79
4.	模块描述	81
4.1.	简介	81
4.2.	功能框图	82
4.3.	存储器	83
4.3.1.	存储器映射	83
4.3.2.	Flash 映射	84
4.3.3.	外设寄存器内存映射	86
4.3.4.	存储器类型	89
4.4.	标识	89
4.5.	总线架构—外设连接	89

4.6.	处理器	90
4.6.1.	浮点单元 (FPU)	90
4.6.2.	紫电数学指令扩展单元——三角法数学单元 (TMU)	90
4.6.3.	紫电数学指令扩展单元——Viterbi、复杂数学和 CRC 单元 (VCU)	91
4.6.4.	Helium	92
4.7.	直接存储器访问 (DMA)	93
4.8.	引导 ROM 和外设引导	94
4.8.1.	配置交替引导模式选择引脚	95
4.8.2.	配置交替引导模式选项	96
4.8.3.	GPIO 分配	96
4.9.	双代码安全模块	98
4.10.	看门狗	98
4.11.	灵活逻辑块 (FLB)	99
4.12.	功能安全	99
5.	电气特性	100
5.1.	绝对最大额定值	100
5.1.1.	最大温度特性	100
5.1.2.	最大额定电压特性	100
5.1.3.	最大额定电流特性	100
5.2.	ESD 等级—商用	100
5.3.	建议运行条件	101
5.4.	功耗摘要	102
5.4.1.	系统电流消耗 (VDD 由外部电源供电)	102
5.4.2.	系统电流消耗 (VDD 由内部 VREG 供电)	103
5.4.3.	工作模式测试说明	103
5.4.4.	电流消耗图	104
5.4.5.	减少电流消耗	104
5.5.	电气特性	105
5.6.	热阻特征	107
5.7.	散热设计注意事项	108
5.8.	系统	108

5.8.1. 电源管理模块（PMM）	108
5.8.2. 复位时序	115
5.8.3. 时钟规格	117
5.8.4. Flash 参数	126
5.8.5. 调试与仿真	127
5.8.6. GPIO 电气数据和时序	130
5.8.7. 中断（NVIC 和 EXTI）	132
5.8.8. 低功耗模式	133
5.9. 模拟外设	136
5.9.1. 主要特征	136
5.9.2. 模数转换器（ADC）	145
5.9.3. 温度传感器	154
5.9.4. 缓冲数模转换器（DAC）	154
5.9.5. 比较器（COMP）	159
5.10. 控制外设	162
5.10.1. 捕获器（CAP）	162
5.10.2. 高分辨率捕获器（HRCAP6–HRCAP7）	165
5.10.3. 脉冲宽度调制器（PWM）	169
5.10.4. 高分辨率脉冲宽度调制器（HRPWM）	172
5.10.5. 正交编码器脉冲（QEP）	173
5.10.6. Σ - Δ 滤波器模块（SDF）	174
5.11. 通信外设	179
5.11.1. 控制器局域网（CAN）	179
5.11.2. 内部集成电路（I2C）	181
5.11.3. 电源管理总线（PMBus）接口	184
5.11.4. 串行通信接口（UART）	186
5.11.5. 串行外设接口（SPI）	187
5.11.6. 本地互连网络（LIN）	196
5.11.7. 四线串行接口（QSPI）	197
6. 器件特性	200

7.	封装信息	203
7.1.	产品丝印图.....	错误!未定义书签。
7.2.	LQFP100（14MM*14MM）封装信息.....	203
7.3.	E-LQFP100（14MM*14MM）封装信息	205
7.4.	LQFP80（12MM*12MM）封装信息	207
7.5.	LQFP80（10MM*10MM）封装信息	210
7.6.	LQFP64（10MM*10MM）封装信息	211
7.7.	E-LQFP64（10MM*10MM）封装信息	213
7.8.	QFN56（7MM*7MM）封装信息.....	215
8.	包装信息	218
8.1.	带状包装	218
8.2.	托盘包装	219
9.	订货信息	221
10.	常用模块及缩写	223
11.	版本历史	224

2. 产品信息

2.1. 产品信息表

G32R501 产品功能和外设配置请参阅下表。

表格 1 G32R501 系列芯片功能和外设

产品		G32R501				
型号系列		G32R501xCx7	G32R501xYx7	G32R501DxYx7	G32R501DxYx7E	G32R501DxYx8Q
型号配置		单核/小容量	单核/大容量	双核/大容量		车规/大容量
处理器和加速器						
系列类型		单核系列		双核系列		车规系列（双核）
CPU0: Cortex-M52	频率	250 MHz（典型值 200MHz）		250MHz（典型值 200MHz）		200 MHz
	FPU	支持		支持		支持
	Zidian 计算加速器（VCU）	支持		支持		支持
	Zidian 计算加速器（TMU）	支持		支持		支持
CPU1: Cortex-M52	频率	-		250 MHz（典型值 200MHz）		200 MHz
	FPU			支持		支持
	Zidian 计算加速器（VCU）			支持		支持
	Zidian 计算加速器（TMU）			支持		支持
处理器间通信单元（IPC）		支持				
6 通道 DMA		支持				
存储器						
系列类型		单核系列		双核系列		车规系列（双核）
		小容量存储	大容量存储	大容量存储		大容量存储

产品		G32R501			
Flash 总容量（最大值）		256KB	640KB	640KB	640KB
CFGSMS （可配置存储阵列）	CPU0_ITCM	64KB	64KB	48KB	48KB
	CPU1_ITCM	-	-	8KB	8KB
	CPU0_DTCM	16KB	16KB	16KB	16KB
	CPU1_DTCM	-	-	8KB	8KB
	SRAM1	8KB	8KB	8KB	8KB
	SRAM2	8KB	8KB	8KB	8KB
	SRAM3	32KB	32KB	32KB	32KB
	CFGSMS 总容量（最大值）	128KB			
Flash ECC、片上存储器奇偶校验保护、双重区域安全性		支持			
RAM Parity		支持			
引导 ROM		128KB			
用户可配置的 DCS OTP		8KB			
系统					
灵活逻辑块（FLB）		4 个灵活逻辑块			
32 位 CPU 计时器		3			
看门狗计时器		1			
非可屏蔽中断看门狗（NMIWDT）计时器		1			
晶体振荡器/外部时钟输入		1			
零引脚内部振荡器		2			
GPIO 引脚	QFN56	25			
	LQFP64	26			
	E-LQFP64	26			

产品			G32R501
	LQFP80		44
	LQFP100		42
	E-LQFP100		42
AIO 输入	QFN56		14
	LQFP64		16
	E-LQFP64		16
	LQFP80		16
	LQFP100		31
	E-LQFP100		31
外部中断			16
NVIC			226（最大可支持）
模拟外设			
ADC 12 位	ADC 数量		3
	每秒百万次采样（MSPS）		3.45
	转换时间（ns）		290
	ADC 通道 （单端）	QFN56	14
		LQFP64	16
		E-LQFP64	16
		LQFP80	16
		LQFP100	31
		E-LQFP100	31

产品		G32R501
温度传感器		1
缓冲 DAC		2
COMP	QFN56	6
	LQFP64	7
	E-LQFP64	7
	LQFP80	7
	LQFP100	7
	E-LQFP100	7
控制外设		
CAP/HRCAP 模块		7 个（2 个具有 HRCAP 功能）
PWM/HRPWM 通道		16
QEP 模块		2
SDF 通道	QFN56	2
	LQFP64	4
	E-LQFP64	4
	LQFP80	2
	LQFP100	4
	E-LQFP100	4
通信外设		
CAN		2
I2C		1
UART		2

产品	G32R501
SPI	2
LIN (UART 兼容)	1
PMBus	1
QSPI	1
电压	
工作电压范围	3.1V~3.6V
温度	
结温 (T _J)	-40℃ 至 125℃/150℃
环境工作温度 (T _A)	-40℃ 至 105℃或-40℃ 至 125℃

2.2. 产品型号

G32R501 产品型号配置请参阅下表。

表格 2 器件型号

器件型号	器件封装	器件配置	AEC-Q100 标准	封装代码
G32R501DVYT7	LQFP100	Flash 640KB, RAM 128KB 双核/大存储容量	-	DVYT7
G32R501DVYT7E	E-LQFP100			DVYT7
G32R501DMYT7	LQFP80			DMYT7
G32R501DPYT7	LQFP80(10mm*10mm)			DPYT7
G32R501DRYT7	LQFP64			DRYT7
G32R501DRYT7E	E-LQFP64			DRYT7
G32R501DNYU7	QFN56			DNYU7
G32R501VYT7	LQFP100	Flash 640KB, RAM 128KB 单核/大存储容量	-	VYT7
G32R501MYT7	LQFP80			MYT7

器件型号	器件封装	器件配置	AEC-Q100 标准	封装代码
G32R501RYT7	LQFP64			RYT7
G32R501NYU7	QFN56			NYU7
G32R501RCT7	LQFP64	Flash 256KB, RAM 128KB 单核/小存储容量	-	RCT7
G32R501DVYT8Q	LQFP100	Flash 640KB, RAM 128KB 车规/大存储容量	Grade 1	DVYT8Q
G32R501DRYT8Q	LQFP64			DRYT8Q

3. 引脚信息

3.1. 引脚定义图

图 1 G32R501 系列 LQFP100/ E-LQFP100 引脚分布图

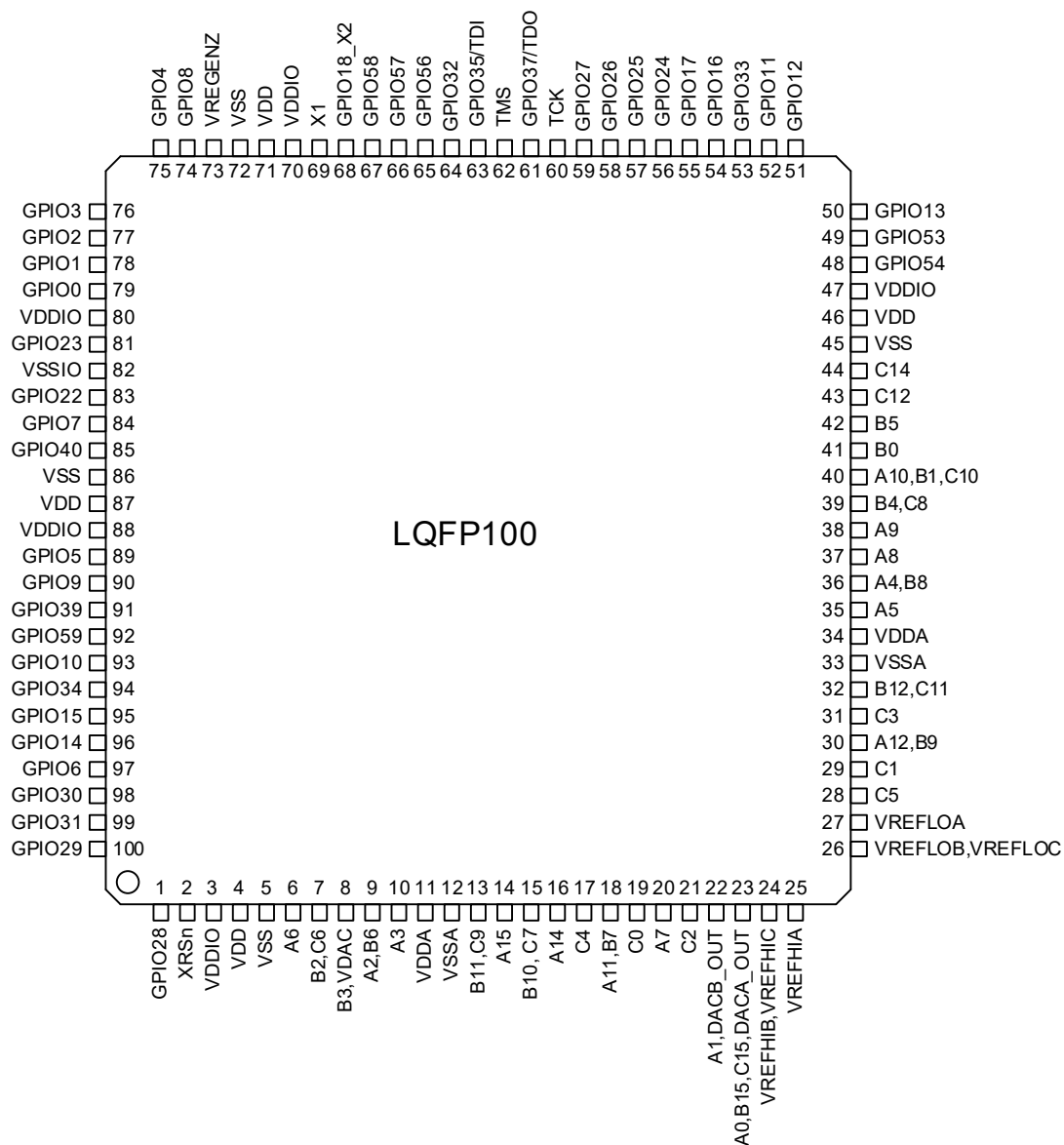


图 2 G32R501 系列 LQFP80 引脚分布图

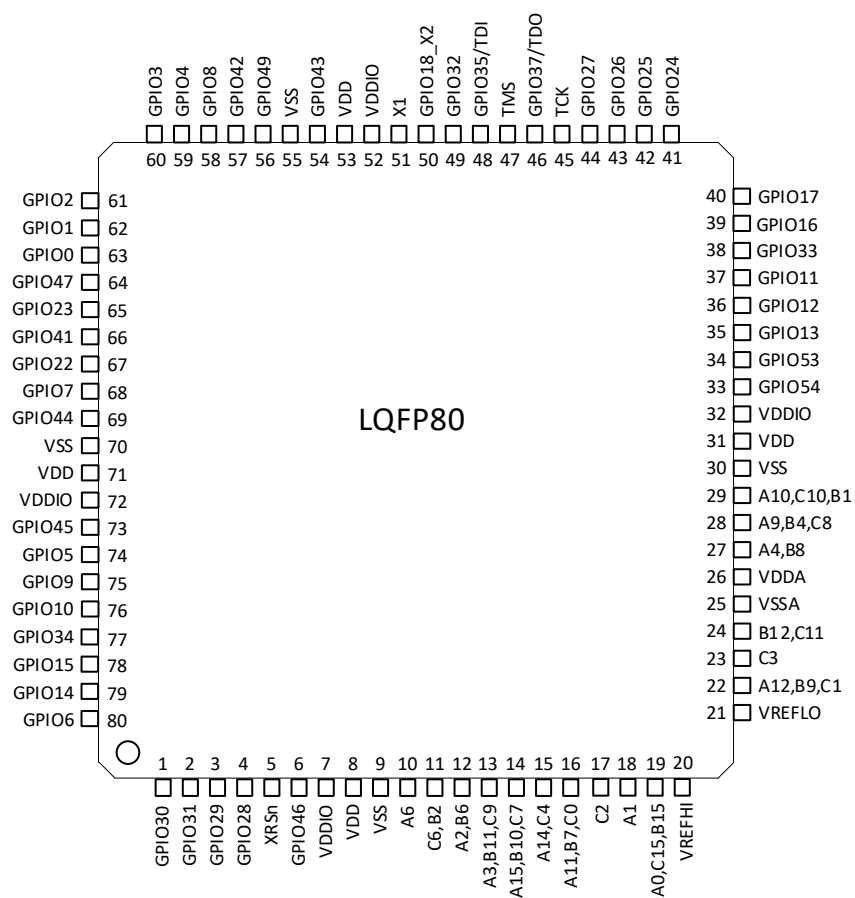


图 3 G32R501 系列 LQFP64/ E-LQFP64 引脚分布图

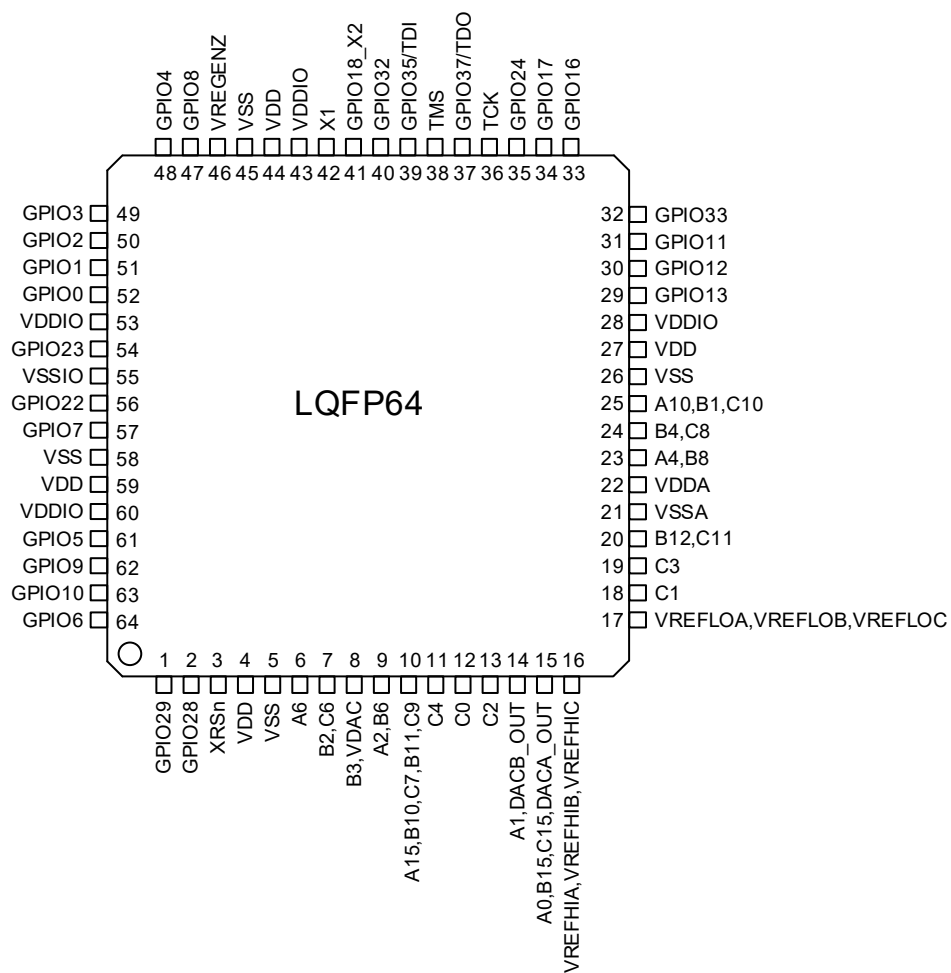
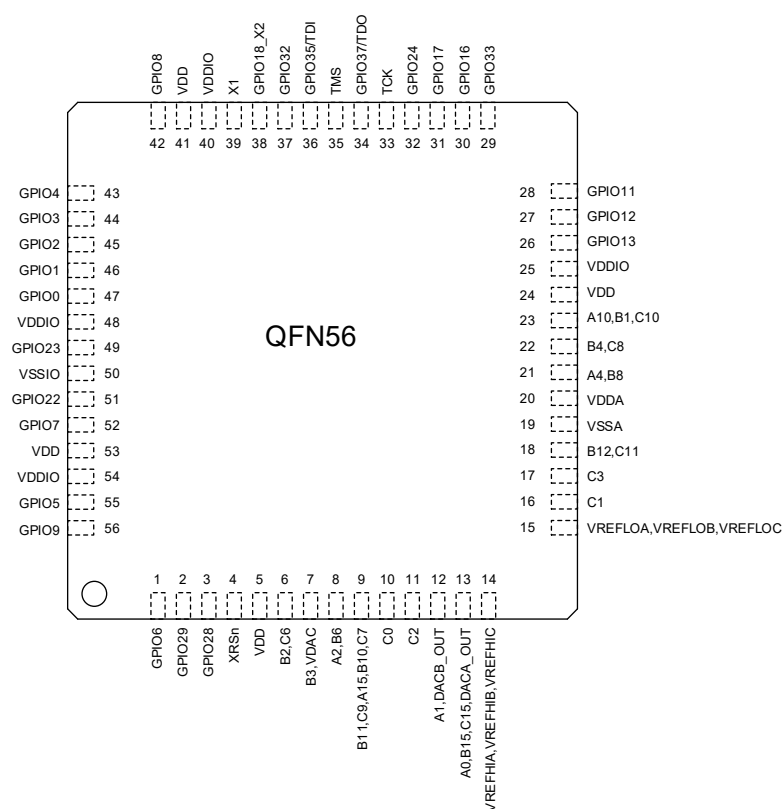


图 4 G32R501 系列 QFN56 引脚分布图



3.2. 引脚属性

表格 3 引脚属性

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
模拟							
A0		23	19	15	13	I	ADC-A 输入 0
B15						I	ADC-B 输入 15
C15						I	ADC-C 输入 15
DACA_OUT						O	缓冲 DAC-A 输出
AIO231						I	可复用为数字量输入的模拟量输入口 231
A1		22	18	14	12	I	ADC-A 输入 1
DACB_OUT						O	缓冲 DAC-B 输出
AIO232						I	可复用为数字量输入的模拟量输入口 232
A10		40	29	25	23	I	ADC-A 输入 10
B1						I	ADC-B 输入 1
C10						I	ADC-C 输入 10
COMP7_HP0						I	COMP-7 高边比较器正输入 0
COMP7_LP0						I	COMP-7 低边比较器正输入 0
AIO230						I	可复用为数字量输入的模拟量输入口 230
A2		9	12	9	8	I	ADC-A 输入 2
B6						I	ADC-B 输入 6
COMP1_HP0						I	COMP-1 高边比较器正输入 0

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
COMP1_LP0						I	COMP-1 低边比较器正输入 0
AIO224						I	可复用为数字量输入的模拟量输入口 224
A3		10	13	—	—	I	ADC-A 输入 3
COMP1_HP3						I	COMP-1 高边比较器正输入 3
COMP1_HN0						I	COMP-1 高边比较器负输入 0
COMP1_LP3						I	COMP-1 低边比较器正输入 3
COMP1_LN0						I	COMP-1 低边比较器负输入 0
AIO233						I	可复用为数字量输入的模拟量输入口 233
A4		36	27	23	21	I	ADC-A 输入 4
B8						I	ADC-B 输入 8
COMP2_HP0						I	COMP-2 高边比较器正输入 0
COMP2_LP0						I	COMP-2 低边比较器正输入 0
AIO225						I	可复用为数字量输入的模拟量输入口 225
A5		35	—	—	—	I	ADC-A 输入 5
COMP2_HP3						I	COMP-2 高边比较器正输入 3
COMP2_HN0						I	COMP-2 高边比较器负输入 0
COMP2_LP3						I	COMP-2 低边比较器正输入 3
COMP2_LN0						I	COMP-2 低边比较器负输入 0
AIO234						I	可复用为数字量输入的模拟量输入口 234
A6		6	10	6	—	I	ADC-A 输入 6
COMP5_HP0						I	COMP-5 高边比较器正输入 0

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
COMP5_LP0						I	COMP-5 低边比较器正输入 0
AIO228						I	可复用为数字量输入的模拟量输入口 228
A7		20	—	—	—	I	ADC-A 输入 7
COMP5_HP3						I	COMP-5 高边比较器正输入 3
COMP5_HN0						I	COMP-5 高边比较器负输入 0
COMP5_LP3						I	COMP-5 低边比较器正输入 3
COMP5_LN0						I	COMP-5 低边比较器负输入 0
COMP3_HP2						I	COMP-3 高边比较器正输入 2
COMP3_LP2						I	COMP-3 低边比较器正输入 2
AIO235						I	可复用为数字量输入的模拟量输入口 235
A8		37	—	—	—	I	ADC-A 输入 8
COMP6_HP0						I	COMP-6 高边比较器正输入 0
COMP6_LP0						I	COMP-6 低边比较器正输入 0
AIO229						I	可复用为数字量输入的模拟量输入口 229
A9		38	28	—	—	I	ADC-A 输入 9
COMP6_HP3						I	COMP-6 高边比较器正输入 3
COMP6_HN0						I	COMP-6 高边比较器负输入 0
COMP6_LP3						I	COMP-6 低边比较器正输入 3
COMP6_LN0						I	COMP-6 低边比较器负输入 0
AIO236						I	可复用为数字量输入的模拟量输入口 236

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
A11		18	16	—	—	I	ADC-A 输入 11
B7						I	ADC-B 输入 7
COMP1_HP4						I	COMP-1 高边比较器正输入 4
COMP1_LP4						I	COMP-1 低边比较器正输入 4
COMP1_HP2						I	COMP-1 高边比较器正输入 2
COMP1_LP2						I	COMP-1 低边比较器正输入 2
AIO248						I	可复用为数字量输入的模拟量输入口 248
A12		30	22	—	—	I	ADC-A 输入 12
B9						I	ADC-B 输入 9
COMP2_HP4						I	COMP-2 高边比较器正输入 4
COMP2_LP4						I	COMP-2 低边比较器正输入 4
COMP2_HP2						I	COMP-2 高边比较器正输入 2
COMP2_LP2						I	COMP-2 低边比较器正输入 2
AIO249						I	可复用为数字量输入的模拟量输入口 249
A14		16	15	—	—	I	ADC-A 输入 14
COMP5_HP4						I	COMP-5 高边比较器正输入 4
COMP5_LP4						I	COMP-5 低边比较器正输入 4
COMP5_HP2						I	COMP-5 高边比较器正输入 2
COMP5_LP2						I	COMP-5 低边比较器正输入 2
AIO252						I	可复用为数字量输入的模拟量输入口 252

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
A15		14	14	10	9	I	ADC-A 输入 15
COMP6_HP4						I	COMP-6 高边比较器正输入 4
COMP6_LP4						I	COMP-6 低边比较器正输入 4
AIO253						I	可复用为数字量输入的模拟量输入口 253
B0		41	—	—	—	I	ADC-B 输入 0
COMP7_HP3						I	COMP-7 高边比较器正输入 3
COMP7_HN0						I	COMP-7 高边比较器负输入 0
COMP7_LP3						I	COMP-7 低边比较器正输入 3
COMP7_LN0						I	COMP-7 低边比较器负输入 0
AIO241						I	可复用为数字量输入的模拟量输入口 241
B2		7	11	7	6	I	ADC-B 输入 2
C6						I	ADC-C 输入 6
COMP3_HP0						I	COMP-3 高边比较器正输入 0
COMP3_LP0						I	COMP-3 低边比较器正输入 0
AIO226						I	可复用为数字量输入的模拟量输入口 226
B3		8	—	8	7	I	ADC-B 输入 3
VDAC						I	片上 DAC 的可选外部基准电压。注意事项请参考“引脚信号说明”章节。
COMP3_HP3						I	COMP-3 高边比较器正输入 3
COMP3_HN0						I	COMP-3 高边比较器负输入 0
COMP3_LP3						I	COMP-3 低边比较器正输入 3
COMP3_LN0						I	COMP-3 低边比较器负输入 0

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
AIO242						I	可复用为数字量输入的模拟量输入口 242
B4		39	28	24	22	I	ADC-B 输入 4
C8						I	ADC-C 输入 8
COMP4_HP0						I	COMP-4 高边比较器正输入 0
COMP4_LP0						I	COMP-4 低边比较器正输入 0
AIO227						I	可复用为数字量输入的模拟量输入口 227
B5						I	ADC-B 输入 5
COMP4_HP3		42	—	—	—	I	COMP-4 高边比较器正输入 3
COMP4_HN0						I	COMP-4 高边比较器负输入 0
COMP4_LP3						I	COMP-4 低边比较器正输入 3
COMP4_LN0						I	COMP-4 低边比较器负输入 0
AIO243						I	可复用为数字量输入的模拟量输入口 243
B10						I	ADC-B 输入 10
C7		15	14	10	9	I	ADC-C 输入 7
COMP3_HP4						I	COMP-3 高边比较器正输入 4
COMP3_LP4						I	COMP-3 低边比较器正输入 4
AIO250						I	可复用为数字量输入的模拟量输入口 250
B11						I	ADC-B 输入 11
C9		13	13	10	9	I	ADC-C 输入 9
COMP4_HP4						I	COMP-4 高边比较器正输入 4
COMP4_LP4						I	COMP-4 低边比较器正输入 4
						I	

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
AIO251						I	可复用为数字量输入的模拟量输入口 251
B12		32	24	20	18	I	ADC-B 输入 12
C11						I	ADC-C 输入 11
COMP7_HP4						I	COMP-7 高边比较器正输入 4
COMP7_LP4						I	COMP-7 低边比较器正输入 4
AIO254						I	可复用为数字量输入的模拟量输入口 254
C0						I	ADC-C 输入 0
COMP1_HP1		19	16	12	10	I	COMP-1 高边比较器正输入 1
COMP1_HN1						I	COMP-1 高边比较器负输入 1
COMP1_LP1						I	COMP-1 低边比较器正输入 1
COMP1_LN1						I	COMP-1 低边比较器负输入 1
AIO237						I	可复用为数字量输入的模拟量输入口 237
C1						I	ADC-C 输入 1
COMP2_HP1		29	22	18	16	I	COMP-2 高边比较器正输入 1
COMP2_HN1						I	COMP-2 高边比较器负输入 1
COMP2_LP1						I	COMP-2 低边比较器正输入 1
COMP2_LN1						I	COMP-2 低边比较器负输入 1
AIO238						I	可复用为数字量输入的模拟量输入口 238
C14						I	ADC-C 输入 14
COMP7_HP1		44	—	—	—	I	COMP-7 高边比较器正输入 1
COMP7_HN1						I	COMP-7 高边比较器负输入 1

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
COMP7_LP1						I	COMP-7 低边比较器正输入 1
COMP7_LN1						I	COMP-7 低边比较器负输入 1
AIO246						I	可复用为数字量输入的模拟量输入口 246
C2		21	17	13	11	I	ADC-C 输入 2
COMP3_HP1						I	COMP-3 高边比较器正输入 1
COMP3_HN1						I	COMP-3 高边比较器负输入 1
COMP3_LP1						I	COMP-3 低边比较器正输入 1
COMP3_LN1						I	COMP-3 低边比较器负输入 1
AIO244						I	可复用为数字量输入的模拟量输入口 244
C3		31	23	19	17	I	ADC-C 输入 3
COMP4_HP1						I	COMP-4 高边比较器正输入 1
COMP4_HN1						I	COMP-4 高边比较器负输入 1
COMP4_LP1						I	COMP-4 低边比较器正输入 1
COMP4_LN1						I	COMP-4 低边比较器负输入 1
COMP4_HP2						I	COMP-4 高边比较器正输入 2
COMP4_LP2						I	COMP-4 低边比较器正输入 2
AIO245						I	可复用为数字量输入的模拟量输入口 245
C4		17	15	11	—	I	ADC-C 输入 4
COMP5_HP1						I	COMP-5 高边比较器正输入 1
COMP5_HN1						I	COMP-5 高边比较器负输入 1
COMP5_LP1						I	COMP-5 低边比较器正输入 1

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
COMP5_LN1						I	COMP-5 低边比较器负输入 1
AIO239						I	可复用为数字量输入的模拟量输入口 239
C5		28	—	—	—	I	ADC-C 输入 5
COMP6_HP1						I	COMP-6 高边比较器正输入 1
COMP6_HN1						I	COMP-6 高边比较器负输入 1
COMP6_LP1						I	COMP-6 低边比较器正输入 1
COMP6_LN1						I	COMP-6 低边比较器负输入 1
COMP6_HP2						I	COMP-6 高边比较器正输入 2
COMP6_LP2						I	COMP-6 低边比较器正输入 2
AIO240						I	可复用为数字量输入的模拟量输入口 240
C12		43	—	—	—	I	ADC-C 输入 12
COMP7_HP2						I	COMP-7 高边比较器正输入 2
COMP7_LP2						I	COMP-7 低边比较器正输入 2
AIO247						I	可复用为数字量输入的模拟量输入口 247
VREFHIA		25	20	16	14	I/O	ADC-A 高基准电压。注意事项请参考“引脚信号说明”章节。
VREFHIB		24	20	16	14	I/O	ADC-B 高基准电压。注意事项请参考“引脚信号说明”章节。
VREFHIC		24	20	16	14	I/O	ADC-C 高基准电压。注意事项请参考“引脚信号说明”章节。
VREFLOA		27	21	17	15	I	ADC-A 低基准电压。注意事项请参考“引脚信号说明”章节。
VREFLOB		26	21	17	15	I	ADC-B 低基准电压。注意事项请参考“引脚信号说明”章节。

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
							明”章节。
VREFLOC		26	21	17	15	I	ADC-C 低基准电压。注意事项请参考“引脚信号说明”章节。
GPIO							
GPIO0	0, 4, 8, 12	79	63	52	47	I/O	通用输入/输出 0
PWM1_A	1					O	PWM-1 输出 A
I2CA_SDA	6					I/OD	I2C-A 开漏双向数据
SPIA_STE	3					I/O	SPI-A 从机发送使能
QSPI_IO1	11					I/O	QSPI_IO1
GPIO1	0, 4, 8, 12	78	62	51	46	I/O	通用输入/输出 1
PWM1_B	1					O	PWM-1 输出 B
I2CA_SCL	6					I/OD	I2C-A 开漏双向时钟
SPIA_SOMI	3					I/O	SPI-A 从机输出, 主机输入 (SOMI)
GPIO2	0, 4, 8, 12	77	61	50	45	I/O	通用输入/输出 2
PWM2_A	1					O	PWM-2 输出 A
OUTPUTXBAR1	5					O	输出 X-BAR 输出 1
PMBUSA_SDA	6					I/OD	PMBus-A 开漏双向数据
UARTA_TX	9					O	UART-A 发送数据
QSPI_IO3	11					I/O	QSPI_IO3
SPIA_SIMO	3					I/O	SPI-A 从机输入, 主机输出 (SIMO)
CANA_TX	2					O	CAN-A 发送
GPIO3	0, 4, 8, 12	76	60	49	44	I/O	通用输入/输出 3

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
PWM2_B	1					O	PWM-2 输出 B
OUTPUTXBAR2	2, 5					O	输出 X-BAR 输出 2
CANA_RX	3					I	CAN-A 接收
PMBUSA_SCL	6					I/OD	PMBus-A 开漏双向时钟
SPIA_CLK	7					I/O	SPI-A 时钟
UARTA_RX	9					I	UART-A 接收数据
QSPI_IO2	11					I	QSPI_IO2
GPIO4	0, 4, 8, 12	75	59	48	43	I/O	通用输入/输出 4
PWM3_A	1					O	PWM-3 输出 A
OUTPUTXBAR3	5					O	输出 X-BAR 输出 3
CANA_TX	6					O	CAN-A 发送
QSPI_SCLK	11					I/O	QSPI_SCLK
SPIB_CLK	3					I/O	SPI-B 时钟
QEP2_STROBE	2					I	QEP-2 选通
GPIO5	0, 4, 8, 12	89	74	61	55	I/O	通用输入/输出 5
PWM3_B	1					O	PWM-3 输出 B
OUTPUTXBAR3	3					O	输出 X-BAR 输出 3
CANA_RX	6					I	CAN-A 接收
SPIA_STE	7					I/O	SPI-A 从机发送使能 (STE)
QSPI_IO1	11					I/O	QSPI_IO1
GPIO6	0, 4, 8, 12	97	80	64	1	I/O	通用输入/输出 6

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
PWM4_A	1					O	PWM-4 输出 A
OUTPUTXBAR4	2					O	输出 X-BAR 输出 4
SYNCOUT	3					O	外部 PWM 同步脉冲
QEP1_A	5					I	QEP-1 输入 A
CANB_TX	6					O	CAN-B 发送
SPIB_SOMI	7					I/O	SPI-B 从机输出，主机输入（SOMI）
QSPI_IO0	11					I/O	QSPI_IO0
GPIO7	0, 4, 8, 12	84	68	57	52	I/O	通用输入/输出 7
PWM4_B	1					O	PWM-4 输出 B
OUTPUTXBAR5	3					O	输出 X-BAR 输出 5
QEP1_B	5					I	QEP-1 输入 B
CANB_RX	6					I	CAN-B 接收
SPIB_SIMO	7					I/O	SPI-B 从机输入，主机输出（SIMO）
QSPI_SS_N	11					I/O	QSPI_SS_N
GPIO8	0, 4, 8, 12	74	58	47	42	I/O	通用输入/输出 8
PWM5_A	1					O	PWM-5 输出 A
CANB_TX	2					O	CAN-B 发送
ADCSOCAO	3					O	输出至外部 ADC 的 ADC 转换启动 A 信号（来自 PWM）
QEP1_STROBE	5					I/O	QEP-1 选通
UARTA_TX	6					O	UART-A 发送数据
SPIA_SIMO	7					I/O	SPI-A 从机输入，主机输出（SIMO）

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
I2CA_SCL	9					I/OD	I2C-A 开漏双向时钟
QSPI_IO3	11					I/O	QSPI_IO3
GPIO9	0, 4, 8, 12	90	75	62	56	I/O	通用输入/输出 9
PWM5_B	1					O	PWM-5 输出 B
UARTB_TX	2					O	UART-B 发送数据
OUTPUTXBAR6	3					O	输出 X-BAR 输出 6
QEP1_INDEX	5					I/O	QEP-1 索引
UARTA_RX	6					I	UART-A 接收数据
SPIA_CLK	7					I/O	SPI-A 时钟
QSPI_IO2	11					I/O	QSPI_IO2
GPIO10	0, 4, 8, 12					I/O	通用输入/输出 10
PWM6_A	1					O	PWM-6 输出 A
CANB_RX	2	93	76	63	—	I	CAN-B 接收
ADCSOCBO	3					O	输出至外部 ADC 的 ADC 转换启动 B 信号（来自 PWM）
QEP1_A	5					I	QEP-1 输入 A
UARTB_TX	6					O	UART-B 发送数据
SPIA_SOMI	7					I/O	SPI-A 从机输出，主机输入（SOMI）
I2CA_SDA	9					I/OD	I2C-A 开漏双向数据
QSPI_SCLK	11					I/O	QSPI_SCLK
GPIO11	0, 4, 8, 12					I/O	通用输入/输出 11
PWM6_B	1					O	PWM-6 输出 B

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
UARTB_RX	2, 6					I	UART-B 接收数据
OUTPUTXBAR7	3					O	输出 X-BAR 输出 7
QEP1_B	5					I	QEP-1 输入 B
SPIA_STE	7					I/O	SPI-A 从机发送使能 (STE)
QSPI_IO1	11					I/O	QSPI_IO1
QEP2_A	10					I	QEP-2 输入 A
SPIA_SIMO	13					I/O	SPI-A 从机输入, 主机输出 (SIMO)
GPIO12	0, 4, 8, 12	51	36	30	27	I/O	通用输入/输出 12
PWM7_A	1					O	PWM-7 输出 A
CANB_TX	2					O	CAN-B 发送
QEP1_STROBE	5					I/O	QEP-1 选通
UARTB_TX	6					O	UART-B 发送数据
PMBUSA_CTL	7					I	PMBus-A 控制信号
QSPI_IO0	11					I	QSPI_IO0
SPIA_CLK	3					I/O	SPI-A 时钟
CANA_RX	10					I	CAN-A 接收
TRACED2	15					O	TRACE 同步数据输出 2
GPIO13	0, 4, 8, 12	50	35	29	26	I/O	通用输入/输出 13
PWM7_B	1					O	PWM-7 输出 B
CANB_RX	2					I	CAN-B 接收
QEP1_INDEX	5					I/O	QEP-1 索引

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
UARTB_RX	6					I	UART-B 接收数据
PMBUSA_ALERT	7					I/OD	PMBus-A 开漏双向警报信号
QSPI_SS_N	11					I/O	QSPI_SS_N
SPIA_SOMI	3					I/O	SPI-A 从机输出，主机输入（SOMI）
CANA_TX	10					O	CAN-A 发送
TRACED3	15					O	TRACE 同步数据输出 3
GPIO14	0, 4, 8, 12	96	79	-	-	I/O	通用输入/输出 14
PWM8_A	1					O	PWM-8 输出 A
UARTB_TX	2					O	UART-B 发送数据
OUTPUTXBAR3	6					O	输出 X-BAR 输出 3
PMBUSA_SDA	7					I/OD	PMBus-A 开漏双向数据
SPIB_CLK	9					I/O	SPI-B 时钟
QEP2_A	10					I	QEP-2 输入 A
PWM3_A	5					O	PWM-3 输出 A
GPIO15	0, 4, 8, 12	95	78	-	-	I/O	通用输入/输出 15
PWM8_B	1					O	PWM-8 输出 B
UARTB_RX	2					I	UART-B 接收数据
OUTPUTXBAR4	6					O	输出 X-BAR 输出 4
PMBUSA_SCL	7					I/OD	PMBus-A 开漏双向时钟
SPIB_STE	9					I/O	SPI-B 从机发送使能（STE）
QEP2_B	10					I	QEP-2 输入 B

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
PWM3_B	5					O	PWM-3 输出 B
GPIO16	0, 4, 8, 12	54	39	33	30	I/O	通用输入/输出 16
SPIA_SIMO	1					I/O	SPI-A 从机输入，主机输出 (SIMO)
CANB_TX	2					O	CAN-B 发送
OUTPUTXBAR7	3					O	输出 X-BAR 输出 7
PWM5_A	5					O	PWM-5 输出 A
UARTA_TX	6					O	UART-A 发送数据
SD1_D1	7					I	SDF-1 通道 1 数据输入
QEP1_STROBE	9					I/O	QEP-1 选通
PMBUSA_SCL	10					I/OD	PMBus-A 开漏双向时钟
XCLKOUT	11					O	外部时钟输出
QEP2_B	14					I	QEP-2 输入 B
SPIB_SOMI	13					I/O	SPI-B 从机输出，主机输入 (SOMI)
TRACED0	15					O	TRACE 同步数据输出 0
GPIO17	0, 4, 8, 12	55	40	34	31	I/O	通用输入/输出 17
SPIA_SOMI	1					I/O	SPI-A 从机输出，主机输入 (SOMI)
CANB_RX	2					I	CAN-B 接收
OUTPUTXBAR8	3					O	输出 X-BAR 输出 8
PWM5_B	5					O	PWM-5 输出 B
UARTA_RX	6					I	UART-A 接收数据
SD1_C1	7					I	SDF-1 通道 1 时钟输入

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
QEP1_INDEX	9					I/O	QEP-1 索引
PMBUSA_SDA	10					I/OD	PMBus-A 开漏双向数据
CANA_TX	13					O	CAN-A 发送
TRGIO	15					I/O	外部触发双向
GPIO18_X2	0, 4, 8, 12	68	50	41	38	I/O	通用输入/输出 18_X2。仅在由 INTOSC 作为系统时钟源且 X1 连接外部下拉电阻（推荐 1kΩ）时，才可使用该引脚及其数字多路复用器选项。
SPIA_CLK	1					I/O	SPI-A 时钟
UARTB_TX	2					O	UART-B 发送数据
CANA_RX	3					I	CAN-A 接收
PWM6_A	5					O	PWM-6 输出 A
I2CA_SCL	6					I/OD	I2C-A 开漏双向时钟
SD1_D2	7					I	SDF-1 通道 2 数据输入
QEP2_A	9					I	QEP-2 输入 A
PMBUSA_CTL	10					I	PMBus-A 控制信号
XCLKOUT	11					O	外部时钟输出
X2	ALT					O	晶振振荡器输出
GPIO20	0	—	—	—	—	I/O	通用输入/输出 20
QEP1_A	1					I	QEP-1 输入 A
CANB_TX	3					O	CAN-B 发送
SPIB_SIMO	6					I/O	SPI-B 从机输入，主机输出（SIMO）
SD1_D3	7					I	SDF-1 通道 3 数据输入

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
SPIB_CLK	9					I/O	SPI-B 时钟
GPIO21	0	—	—	—	—	I/O	通用输入/输出 21
QEP1_B	1					I	QEP-1 输入 B
CANB_RX	3					I	CAN-B 接收
SPIB_SOMI	6					I/O	SPI-B 从机输出，主机输入（SOMI）
SD1_C3	7					I	SDF-1 通道 3 时钟输入
I2CA_SCL	11					I/OD	I2C-A 开漏双向时钟 Clock
GPIO22	0, 4, 8, 12	83	67	56	51	I/O	通用输入/输出 22。
QEP1_STROBE	1					I/O	QEP-1 选通
UARTB_TX	3					O	UART-B 发送数据
SPIB_CLK	6					I/O	SPI-B 时钟
SD1_D4	7					I	SDF-1 通道 4 数据输入
LINA_TX	9					O	LIN-A 发送
PWM4_A	5					O	PWM-4 输出 A。
GPIO23	0	81	65	54	49	I/O	通用输入/输出 23。
QEP1_INDEX	1					I/O	QEP-1 索引
UARTB_RX	3					I	UART-B 接收数据
PWM4_B	5					O	PWM-4 输出 B
SPIB_STE	6					I/O	SPI-B 从机发送使能（STE）
SD1_C4	7					I	SDF-1 通道 4 时钟输入
LINA_RX	9					I	LIN 接收

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
I2CA_SDA	11					O	I2C-A 开漏双向数据
SPIB_SIMO	13					I/O	SPI-B 从机输入，主机输出（SIMO）
GPIO24	0, 4, 8, 12	56	41	35	32	I/O	通用输入/输出 24
OUTPUTXBAR1	1					O	输出 X-BAR 输出 1
QEP2_A	2					I	QEP-2 输入 A
PWM8_A	5					O	PWM-8 输出 A
SPIB_SIMO	6					I/O	SPI-B 从机输入，主机输出（SIMO）
SD1_D1	7					I	SDF-1 通道 1 数据输入
PMBUSA_SCL	10					I/OD	PMBus-A 开漏双向时钟
UARTA_TX	11					O	UART-A 发送数据
ERRORSTS	13					O	低电平有效错误状态输出
TRACECLK	15					O	TRACE 时钟
GPIO25	0, 4, 8, 12	57	42	—	—	I/O	通用输入/输出 25
OUTPUTXBAR2	1					O	输出 X-BAR 输出 2
QEP2_B	2					I	QEP-2 输入 B
SPIB_SOMI	6					I/O	SPI-B 从机输出，主机输入（SOMI）
SD1_C1	7					I	SDF-1 通道 1 时钟输入
PMBUSA_SDA	10					O	PMBus-A 开漏双向数据
UARTA_RX	11					I	UART-A 接收数据
QSPI_IO3	13					I/O	QSPI_IO3
QEP1_A	5					I	QEP-1 输入 A

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
GPIO26	0, 4, 8, 12	58	43	—	—	I/O	通用输入/输出 26
OUTPUTXBAR3	1, 5					O	输出 X-BAR 输出 3
QEP2_INDEX	2					I/O	QEP-2 索引
SPIB_CLK	6					I/O	SPI-B 时钟
SD1_D2	7					I	SDF-1 通道 2 数据输入
PMBUSA_CTL	10					I	PMBus-A 控制信号
I2CA_SDA	11					I/OD	I2C-A 开漏双向数据
QSPI_IO2	13					I/O	QSPI_IO2
GPIO27	0, 4, 8, 12	59	44	—	—	I/O	通用输入/输出 27
OUTPUTXBAR4	1, 5					O	输出 X-BAR 输出 4
QEP2_STROBE	2					I/O	QEP-2 选通
SPIB_STE	6					I/O	SPI-B 从机发送使能 (STE)
SD1_C2	7					I	SDF-1 通道 2 时钟输入
PMBUSA_ALERT	10					I/OD	PMBus-A 开漏双向警报信号
I2CA_SCL	11					I/OD	I2C-A 开漏双向时钟
QSPI_SCLK	13					I/O	QSPI_SCLK
GPIO28	0, 4, 8, 12	1	4	2	3	I/O	通用输入/输出 28
UARTA_RX	1					I	UART-A 接收数据
PWM7_A	3					O	PWM-7 输出 A
OUTPUTXBAR5	5					O	输出 X-BAR 输出 5
QEP1_A	6					I	QEP-1 输入 A

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
SD1_D3	7					I	SDF-1 通道 3 数据输入
QEP2_STROBE	9					I/O	QEP-2 选通
LINA_TX	10					O	LIN-A 发送
SPIB_CLK	11					I/O	SPI-B 时钟
ERRORSTS	13					O	低电平有效错误状态输出。
TRACECLK	15					I/O	TRACE 时钟
GPIO29	0, 4, 8, 12	100	3	1	2	I/O	通用输入/输出 29
UARTA_TX	1					O	UART-A 发送数据
PWM7_B	3					O	PWM-7 输出 B
OUTPUTXBAR6	5					O	输出 X-BAR 输出 6
QEP1_B	6					I	QEP-1 输入 B
SD1_C3	7					I	SDF-1 通道 3 时钟输入
QEP2_INDEX	9					I/O	QEP-2 索引
LINA_RX	10					I	LIN-A 接收
SPIB_STE	11					I/O	SPI-B 从机发送使能 (STE)
ERRORSTS	13					O	低电平有效错误状态输出。
TRACED0	15					O	TRACE 同步数据输出 0
GPIO30	0, 4, 8, 12	98	1	—	—	I/O	通用输入/输出 30
CANA_RX	1					I	CAN-A 接收
SPIB_SIMO	3					I/O	SPI-B 从机输入, 主机输出
OUTPUTXBAR7	5					O	输出 X-BAR 输出 7

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
QEP1_STROBE	6					I/O	QEP-1 选通
SD1_D4	7					I	SDF-1 通道 4 数据输入
QSPI_IO3	11					I/O	QSPI_IO3
PWM1_A	2					O	PWM 1 输出 A
TRACED1	15					I/O	TRACE 同步数据输出 1
GPIO31	0, 4, 8, 12	99	2	—	—	I/O	通用输入/输出 31
CANA_TX	1					O	CAN-A 发送
SPIB_SOMI	3					I/O	SPI-B 从机输出，主机输入 (SOMI)
OUTPUTXBAR8	5					O	输出 X-BAR 输出 8
QEP1_INDEX	6					I/O	QEP-1 索引
SD1_C4	7					I	SDF-1 通道 4 时钟输入
QSPI_IO1	11					I/O	QSPI_IO1
PWM1_B	2					O	PWM 1 输出 B
TRACED2	15					I/O	TRACE 同步数据输出 2
GPIO32	0, 4, 8, 12	64	49	40	37	I/O	通用输入/输出 32
I2CA_SDA	1					I/OD	I2C-A 开漏双向数据
SPIB_CLK	3					I/O	SPI-B 时钟
PWM8_B	5					O	PWM-8 输出 B
LINA_TX	6					O	LIN-A 发送
SD1_D3	7					I	SDF-1 通道 3 数据输入
CANA_TX	10					O	CAN-A 发送

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
QSPI_IO0	11					I/O	QSPI_IO0
ADCSOCBO	13					O	输出至外部 ADC 的 ADC 转换启动 B 信号（来自 PWM）
TRGIO	15					I/O	外部触发双向
GPIO33	0, 4, 8, 12	53	38	32	29	I/O	通用输入/输出 33
I2CA_SCL	1					I/OD	I2C-A 开漏双向时钟
SPIB_STE	3					I/O	SPI-B 从机发送使能（STE）
OUTPUTXBAR4	5					O	输出 X-BAR 输出 4
LINA_RX	6					I	LIN-A 接收
SD1_C3	7					I	SDF-1 通道 3 时钟输入
CANA_RX	10					I	CAN-A 接收
QSPI_SS_N	11					I/O	QSPI_SS_N
QEP2_B	2					I	QEP-2 输入 B
ADCSOCAO	13					O	输出至外部 ADC 的 ADC 转换启动 A 信号（来自 PWM）
TRACED1	15					I/O	TRACE 同步数据输出 1
GPIO34	0, 4, 8, 12	94	77	—	—	I/O	通用输入/输出 34
OUTPUTXBAR1	1					O	输出 X-BAR 输出 1
PMBUSA_SDA	6					I/OD	PMBus-A 开漏双向数据
GPIO35_TDI	0, 4, 8, 12	63	48	39	36	I/O	通用输入/输出 35
UARTA_RX	1					I	UART-A 接收数据
I2CA_SDA	3					I/OD	I2C-A 开漏双向数据

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
CANA_RX	5					I	CAN-A 接收
PMBUSA_SCL	6					I/OD	PMBus-A 开漏双向时钟
LINA_RX	7					I	LIN-A 接收
QEP1_A	9					I	QEP-1 输入 A
PMBUSA_CTL	10					I	PMBus-A 控制信号
TDI	15					I	JTAG 测试数据输入。注意事项请参考“引脚信号说明”章节。
GPIO37_TDO	0, 4, 8, 12	61	46	37	34	I/O	通用输入/输出 37
OUTPUTXBAR2	1					O	输出 X-BAR 输出 2
I2CA_SCL	3					I/OD	I2C-A 开漏双向时钟
UARTA_TX	5					O	UART-A 发送数据
CANA_TX	6					O	CAN-A 发送
LINA_TX	7					O	LIN-A 发送
QEP1_B	9					I	QEP-1 输入 B
PMBUSA_ALERT	10					I/OD	PMBus-A 开漏双向警报信号
TDO	15					O	JTAG 测试数据输出。注意事项请参考“引脚信号说明”章节。
GPIO39	0, 4, 8, 12	91	—	—	—	I/O	通用输入/输出 39
CANB_RX	6					I	CAN-B 接收
QSPI_IO3	11					I/O	QSPI_IO3
GPIO40	0, 4, 8, 12	85	—	—	—	I/O	通用输入/输出 40
PMBUSA_SDA	6					I/OD	PMBus-A 开漏双向数据

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
UARTB_TX	9					O	UART-B 发送数据
QEP1_A	10					I	QEP-1 输入 A
QSPI_IO2	11					I/O	QSPI_IO2
GPIO41	0, 4, 8, 12	—	66	—	—	I/O	通用输入/输出 41
PWM2_A	1					O	PWM 2 输出 A
SPIB_STE	3					O	SPI-B 从机发送使能
PMBUSA_SCL	6					I/OD	PMBus-A 开漏双向时钟
UARTB_RX	9					I	UART-B 接收数据
QEP1_B	10					I	QEP-1 输入 B
QSPI_SCLK	11					I/O	QSPI_SCLK
SPIB_SOMI	13					I/O	SPI-B 从机输出，主机输入
GPIO42	0, 4, 8, 12	—	57	—	—	I/O	通用输入/输出 42
LINA_RX	2					I	LIN-A 接收
OUTPUTXBAR5	3					O	输出 X-BAR 输出 5
PMBUSA_CTL	5					I	PMBus-A 控制信号
I2CA_SDA	6					I/OD	I2C-A 开漏双向数据
UARTB_TX	9					O	UART-B 发送数据
QEP1_STROBE	10					O	QEP-1 选通
GPIO43	0, 4, 8, 12	—	54	—	—	I/O	通用输入/输出 43
OUTPUTXBAR6	3					O	输出 X-BAR 输出 6
PMBUSA_ALERT	5					I/OD	PMBus-A 开漏双向警报信号

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
I2CA_SCL	6					I/OD	I2C-A 开漏双向时钟
UARTB_RX	9					I	UART-B 接收数据
QEP1_INDEX	10					I/O	QEP-1 索引
GPIO44	0, 4, 8, 12	—	69	—	—	I/O	通用输入/输出 44
QEP1_A	2					I	QEP-1 输入 A
OUTPUTXBAR7	3					O	输出 X-BAR 输出 7
QSPI_IO2	11					I/O	QSPI_IO2
GPIO45	0, 4, 8, 12	—	73	—	—	I/O	通用输入/输出 45
OUTPUTXBAR8	3					O	输出 X-BAR 输出 8
QSPI_IO0	11					I/O	QSPI_IO0
GPIO46	0, 4, 8, 12	—	6	—	—	I/O	通用输入/输出 46
LINA_TX	3					O	LIN-A 发送
QSPI_SS_N	11					I/O	QSPI_SS_N
GPIO47	0, 4, 8, 12	—	64	—	—	I/O	通用输入/输出 47
PWM2_B	1					O	PWM-2 输出 B
QEP1_A	2					I	QEP-1 输入 A
LINA_RX	3					I	LIN-A 接收
SPIB_SIMO	6					I/O	SPI-B 从机输入, 主机输出
PMBUS_A_SDA	7					I/OD	PMBus-A 开漏双向数据
GPIO48	0, 4, 8, 12	—	—	—	—	I/O	通用输入/输出 48
OUTPUTXBAR3	1					O	输出 X-BAR 输出 3

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
CANB_TX	3					O	CAN-B 发送数据
UARTA_TX	6					O	UART-A 发送数据
SD1_D1	7					I	SDF-1 通道 1 数据输入
GPIO49	0, 4, 8, 12	—	56	—	—	I/O	通用输入/输出 49
OUTPUTXBAR4	1					O	输出 X-BAR 输出 4
CANB_RX	3					I	CAN-B 接收
UARTA_RX	6					I	UART-A 接收数据
SD1_C1	7					I	SDF-1 通道 1 时钟输入
QEP2_INDEX	9					I/O	QEP-2 索引
SYNCOUT	11					O	外部 PWM 同步脉冲
QEP1_INDEX	2	—	—	—	—	I/O	QEP-1 索引
GPIO50	0, 4, 8, 12					I/O	通用输入/输出 50
QEP1_A	1					I	QEP-1 输入 A
SPIB_SIMO	6					I/O	SPI-B 从机输入, 主机输出 (SIMO)
SD1_D2	7	—	—	—	—	I	SDF-1 通道 2 数据输入
GPIO51	0, 4, 8, 12					I/O	通用输入/输出 51
QEP1_B	1					I	QEP-1 输入 B
SPIB_SOMI	6					I/O	SPI-B 主机输入, 从机输出 (SOMI)
SD1_C2	7	—	—	—	—	I	SDF-1 通道 2 时钟输入
GPIO52	0, 4, 8, 12					I/O	通用输入/输出 52
QEP1_STROBE	1					I/O	QEP-1 输入 B 选通

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
SPIB_CLK	6					I/O	SPI-B 时钟
SD1_D3	7					I	SDF-1 通道 3 数据输入
GPIO53	0, 4, 8, 12	49	34	—	—	I/O	通用输入/输出 53
QEP1_INDEX	1					I/O	QEP-1 索引
SPIB_STE	6					I/O	SPI-B 从机发送使能 (STE)
SD1_C3	7					I	SDF-1 通道 3 时钟输入
UARTB_RX	9					I	UART-B 接收数据
GPIO54	0, 4, 8, 12	48	33	—	—	I/O	通用输入/输出 54
SPIA_SIMO	1					I/O	SPI-A 从机输入, 主机输出 (SIMO)
QEP2_A	5					I	QEP-2 输入 A
UARTB_TX	6					O	UART-B 发送数据
SD1_D4	7					I	SDF-1 通道 4 数据输入
GPIO55	0, 4, 8, 12	—	—	—	—	I/O	通用输入/输出 55
SPIA_SOMI	1					I/O	SPI-A 主机输入, 从机输出 (SOMI)
QEP2_B	5					I/O	QEP-2 输入 B
UARTB_RX	6					I	UART-B 接收数据
SD1_C4	7					I	SDF-1 通道 4 时钟输入
GPIO56	0, 4, 8, 12	65	—	—	—	I/O	通用输入/输出 56
SPIA_CLK	1					I/O	SPI-A 时钟
QEP2_STROBE	5					I/O	QEP-2 选通
UARTB_TX	6					O	UART-B 发送数据

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
SD1_D3	7					I	SDF-1 通道 3 数据输入
SPIB_SIMO	9					I/O	SPI-B 从机输入，主机输出（SIMO）
QEP1_A	11					I	QEP-1 输入 A
GPIO57	0, 4, 8, 12	66	—	—	—	I/O	通用输入/输出 57
SPIA_STE	1					I/O	SPI-A 从机发送使能（STE）
QEP2_INDEX	5					I/O	QEP-2 索引
UARTB_RX	6					I	UART-B 接收数据
SD1_C3	7					I	SDF-1 通道 3 时钟输入
SPIB_SOMI	9					I/O	SPI-B 从机输出，主机输入（SOMI）
QEP1_B	11					I	QEP-1 输入 B
GPIO58	0, 4, 8, 12	67	—	—	—	I/O	通用输入/输出 58
OUTPUTXBAR1	5					O	输出 X-BAR 输出 1
SPIB_CLK	6					I/O	SPI-B 时钟
SD1_D4	7					I	SDF-1 通道 4 数据输入
LINA_TX	9					O	LIN-A 发送
CANB_TX	10					O	CAN-B 发送
QEP1_STROBE	11					I/O	QEP-1 选通
GPIO59	0, 4, 8, 12	92	—	—	—	I/O	通用输入/输出 59
OUTPUTXBAR2	5					O	输出 X-BAR 输出 2
SPIB_STE	6					I/O	SPI-B 从机发送使能（STE）
SD1_C4	7					I	SDF-1 通道 4 时钟输入

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
LINA_RX	9					I	LIN-A 接收
CANB_RX	10					I	CAN-B 接收
QEP1_INDEX	11					I/O	QEP-1 索引
调试和复位							
TCK（SWCLK）		60	45	36	33	I	带有内部上拉电阻的 JTAG 测试时钟。当 SWD 调试模式使用时，此引脚可用于 SWD 时钟（SWCLK）。注意事项请参考“引脚信号说明”。
TMS（SWDIO）		62	47	38	35	I/O	带有内部上拉电阻的 JTAG 测试模式选择（TMS）。当 SWD 调试模式使用时，此引脚可用于 SWD 串行数据线路（SWDIO）。注意事项请参考“引脚信号说明”。
VREGENZ		73	—	46	—	I	具有内部下拉电阻的内部稳压器使能。注意事项请参考“引脚信号说明”。
X1		69	51	42	39	I	晶体振荡器或单端时钟输入。此引脚也可用于馈入单端 3.3V 电平时钟。注意事项请参考“引脚信号说明”章节。
XRSn		2	5	3	4	I/OD	器件复位（输入）和看门狗复位（输出）。此引脚为低电平有效。注意事项请参考“引脚信号说明”。
电源和接地							
VDD		4,46,71,87	8,31,53,71	4,27,44,59	5,24,41,53		1.1V 数字逻辑电源引脚。注意事项请参考“引脚信号说明”。
VDDA		11,34	26	22	20		3.3V 模拟电源引脚。注意事项请参考“引脚信号说明”。
VDDIO		3,47,70,80,88	7,32,72,52	28,43,53,60	25,40,48,54		3.3V 数字 I/O 电源引脚。注意事项请参考“引脚信号说明”。
VSS		5,45,72,86	9,30,55,70	5,26,45,58	—		数字接地

信号名称	多路复用器位置	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56	引脚类型	说明
VSSA		12,33	25	21	19		模拟接地
VSSIO		82	—	55	50		3.3V 数字 I/O 接地

3.3. 引脚信号说明

3.3.1. 模拟信号

表格 4 模拟信号

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
A0	ADC-A 输入 0	I		23	19	15	13
A1	ADC-A 输入 1	I		22	18	14	12
A2	ADC-A 输入 2	I		9	12	9	8
A3	ADC-A 输入 3	I		10	13	—	—
A4	ADC-A 输入 4	I		36	27	23	21
A5	ADC-A 输入 5	I		35	—	—	—
A6	ADC-A 输入 6	I		6	10	6	—
A7	ADC-A 输入 7	I		20	—	—	—
A8	ADC-A 输入 8	I		37	—	—	—
A9	ADC-A 输入 9	I		38	28	—	—
A10	ADC-A 输入 10	I		40	29	25	23
A11	ADC-A 输入 11	I		18	16		
A12	ADC-A 输入 12	I		30	22		
A14	ADC-A 输入 14	I		16	15		
A15	ADC-A 输入 15	I		14	14	10	9
AIO224	可复用为数字量输入的模拟量输入口 224	I		9	12	9	8
AIO225	可复用为数字量输入的模拟量输入口 225	I		36	27	23	21
AIO226	可复用为数字量输入的模拟量输入口 226	I		7	11	7	6
AIO227	可复用为数字量输入的模拟量输入口 227	I		39	28	24	22
AIO228	可复用为数字量输入的模拟量输入口 228	I		6	10	6	
AIO229	可复用为数字量输入的模拟量输入口 229	I		37			
AIO230	可复用为数字量输入的模拟量输入口 230	I		40	29	25	23
AIO231	可复用为数字量输入的模拟量输入口 231	I		23	19	15	13
AIO232	可复用为数字量输入的模拟量输入口 232	I		22	18	14	12
AIO233	可复用为数字量输入的模拟量输入口 233	I		10	13		
AIO234	可复用为数字量输入的模拟量输入口 234	I		35			
AIO235	可复用为数字量输入的模拟量输入口 235	I		20			
AIO236	可复用为数字量输入的模拟量输入口 236	I		38	28		

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
AIO237	可复用为数字量输入的模拟量输入口 237	I		19	16	12	10
AIO238	可复用为数字量输入的模拟量输入口 238	I		29	22	18	16
AIO239	可复用为数字量输入的模拟量输入口 239	I		17	15	11	
AIO240	可复用为数字量输入的模拟量输入口 240	I		28			
AIO241	可复用为数字量输入的模拟量输入口 241	I		41			
AIO242	可复用为数字量输入的模拟量输入口 242	I		8		8	7
AIO243	可复用为数字量输入的模拟量输入口 243	I		42			
AIO244	可复用为数字量输入的模拟量输入口 244	I		21	17	13	11
AIO245	可复用为数字量输入的模拟量输入口 245	I		31	23	19	17
AIO246	可复用为数字量输入的模拟量输入口 246	I		44			
AIO247	可复用为数字量输入的模拟量输入口 247	I		43			
AIO248	可复用为数字量输入的模拟量输入口 248	I		18	16		
AIO249	可复用为数字量输入的模拟量输入口 249	I		30	22		
AIO250	可复用为数字量输入的模拟量输入口 250	I		15	14	10	9
AIO251	可复用为数字量输入的模拟量输入口 251	I		13	13	10	9
AIO252	可复用为数字量输入的模拟量输入口 252	I		16	15		
AIO253	可复用为数字量输入的模拟量输入口 253	I		14	14	10	9
AIO254	可复用为数字量输入的模拟量输入口 254	I		32	24	20	18
B0	ADC-B 输入 0	I		41			
B1	ADC-B 输入 1	I		40	29	25	23
B2	ADC-B 输入 2	I		7	11	7	6
B3	ADC-B 输入 3	I		8		8	7
B4	ADC-B 输入 4	I		39	28	24	22
B5	ADC-B 输入 5	I		42			
B6	ADC-B 输入 6	I		9	12	9	8
B7	ADC-B 输入 7			18	16		
B8	ADC-B 输入 8	I		36	27	23	21
B9	ADC-B 输入 9	I		30	22		
B10	ADC-B 输入 10	I		15	14	10	9
B11	ADC-B 输入 11	I		13	13	10	9
B12	ADC-B 输入 12	I		32	24	20	18
B15	ADC-B 输入 15	I		23	19	15	13
C0	ADC-C 输入 0	I		19	16	12	10

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
C1	ADC-C 输入 1	I		29	22	18	16
C2	ADC-C 输入 2	I		21	17	13	11
C3	ADC-C 输入 3	I		31	23	19	17
C4	ADC-C 输入 4	I		17	15	11	
C5	ADC-C 输入 5	I		28			
C6	ADC-C 输入 6	I		7	11	7	6
C7	ADC-C 输入 7	I		15	14	10	9
C8	ADC-C 输入 8	I		39	28	24	22
C9	ADC-C 输入 9	I		13	13	10	9
C10	ADC-C 输入 10	I		40	29	25	23
C11	ADC-C 输入 11	I		32	24	20	18
C12	ADC-C 输入 12	I		43			
C14	ADC-C 输入 14	I		44			
C15	ADC-C 输入 15	I		23	19	15	13
COMP1_HN0	COMP-1 高边比较器负输入 0	I		10	13		
COMP1_HN1	COMP-1 高边比较器负输入 1	I		19	16	12	10
COMP1_HP0	COMP-1 高边比较器正输入 0	I		9	12	9	8
COMP1_HP1	COMP-1 高边比较器正输入 1	I		19	16	12	10
COMP1_HP2	COMP-1 高边比较器正输入 2	I		18	16		
COMP1_HP3	COMP-1 高边比较器正输入 3	I		10	13		
COMP1_HP4	COMP-1 高边比较器正输入 4	I		18	16		
COMP1_LN0	COMP-1 低边比较器负输入 0	I		10	13		
COMP1_LN1	COMP-1 低边比较器负输入 1	I		19	16	12	10
COMP1_LP0	COMP-1 低边比较器正输入 0	I		9	12	9	8
COMP1_LP1	COMP-1 低边比较器正输入 1	I		19	16	12	10
COMP1_LP2	COMP-1 低边比较器正输入 2	I		18	16		
COMP1_LP3	COMP-1 低边比较器正输入 3	I		10	13		
COMP1_LP4	COMP-1 低边比较器正输入 4	I		18	16		
COMP2_HN0	COMP-2 高边比较器负输入 0	I		35			
COMP2_HN1	COMP-2 高边比较器负输入 1	I		29	22	18	16
COMP2_HP0	COMP-2 高边比较器正输入 0	I		36	27	23	21
COMP2_HP1	COMP-2 高边比较器正输入 1	I		29	22	18	16
COMP2_HP2	COMP-2 高边比较器正输入 2	I		30	22		

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
COMP2_HP3	COMP-2 高边比较器正输入 3	I		35			
COMP2_HP4	COMP-2 高边比较器正输入 4	I		30	22		
COMP2_LN0	COMP-2 低边比较器负输入 0	I		35			
COMP2_LN1	COMP-2 低边比较器负输入 1	I		29	22	18	16
COMP2_LP0	COMP-2 低边比较器正输入 0	I		36	27	23	21
COMP2_LP1	COMP-2 低边比较器正输入 1	I		29	22	18	16
COMP2_LP2	COMP-2 低边比较器正输入 2	I		30	22		
COMP2_LP3	COMP-2 低边比较器正输入 3	I		35			
COMP2_LP4	COMP-2 低边比较器正输入 4	I		30	22		
COMP3_HN0	COMP-3 高边比较器负输入 0	I		8		8	7
COMP3_HN1	COMP-3 高边比较器负输入 1	I		21	17	13	11
COMP3_HP0	COMP-3 高边比较器正输入 0	I		7	11	7	6
COMP3_HP1	COMP-3 高边比较器正输入 1	I		21	17	13	11
COMP3_HP2	COMP-3 高边比较器正输入 2	I		20			
COMP3_HP3	COMP-3 高边比较器正输入 3	I		8		8	7
COMP3_HP4	COMP-3 高边比较器正输入 4	I		15	14	10	9
COMP3_LN0	COMP-3 低边比较器负输入 0	I		8		8	7
COMP3_LN1	COMP-3 低边比较器负输入 1	I		21	17	13	11
COMP3_LP0	COMP-3 低边比较器正输入 0	I		7	11	7	6
COMP3_LP1	COMP-3 低边比较器正输入 1	I		21	17	13	11
COMP3_LP2	COMP-3 低边比较器正输入 2	I		20			
COMP3_LP3	COMP-3 低边比较器正输入 3	I		8		8	7
COMP3_LP4	COMP-3 低边比较器正输入 4	I		15	14	10	9
COMP4_HN0	COMP-4 高边比较器负输入 0	I		42			
COMP4_HN1	COMP-4 高边比较器负输入 1	I		31	23	19	17
COMP4_HP0	COMP-4 高边比较器正输入 0	I		39	28	24	22
COMP4_HP1	COMP-4 高边比较器正输入 1	I		31	23	19	17
COMP4_HP2	COMP-4 高边比较器正输入 2	I		31	23	19	17
COMP4_HP3	COMP-4 高边比较器正输入 3	I		42			
COMP4_HP4	COMP-4 高边比较器正输入 4	I		13	13	10	9
COMP4_LN0	COMP-4 低边比较器负输入 0	I		42			
COMP4_LN1	COMP-4 低边比较器负输入 1	I		31	23	19	17
COMP4_LP0	COMP-4 低边比较器正输入 0	I		39	28	24	22

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
COMP4_LP1	COMP-4 低边比较器正输入 1	I		31	23	19	17
COMP4_LP2	COMP-4 低边比较器正输入 2	I		31	23	19	17
COMP4_LP3	COMP-4 低边比较器正输入 3	I		42			
COMP4_LP4	COMP-4 低边比较器正输入 4	I		13	13	10	9
COMP5_HN0	COMP-5 高边比较器负输入 0	I		20			
COMP5_HN1	COMP-5 高边比较器负输入 1	I		17	15	11	
COMP5_HP0	COMP-5 高边比较器正输入 0	I		6	10	6	
COMP5_HP1	COMP-5 高边比较器正输入 1	I		17	15	11	
COMP5_HP2	COMP-5 高边比较器正输入 2	I		16	15		
COMP5_HP3	COMP-5 高边比较器正输入 3	I		20			
COMP5_HP4	COMP-5 高边比较器正输入 4	I		16	15		
COMP5_LN0	COMP-5 低边比较器负输入 0	I		20			
COMP5_LN1	COMP-5 低边比较器负输入 1	I		17	15	11	
COMP5_LP0	COMP-5 低边比较器正输入 0	I		6	10	6	
COMP5_LP1	COMP-5 低边比较器正输入 1	I		17	15	11	
COMP5_LP2	COMP-5 低边比较器正输入 2	I		16	15		
COMP5_LP3	COMP-5 低边比较器正输入 3	I		20			
COMP5_LP4	COMP-5 低边比较器正输入 4	I		16	15		
COMP6_HN0	COMP-6 高边比较器负输入 0	I		38	28		
COMP6_HN1	COMP-6 高边比较器负输入 1	I		28			
COMP6_HP0	COMP-6 高边比较器正输入 0	I		37			
COMP6_HP1	COMP-6 高边比较器正输入 1	I		28			
COMP6_HP2	COMP-6 高边比较器正输入 2	I		28			
COMP6_HP3	COMP-6 高边比较器正输入 3	I		38	28		
COMP6_HP4	COMP-6 高边比较器正输入 4	I		14	14	10	9
COMP6_LN0	COMP-6 低边比较器负输入 0	I		38	28		
COMP6_LN1	COMP-6 低边比较器负输入 1	I		28			
COMP6_LP0	COMP-6 低边比较器正输入 0	I		37			
COMP6_LP1	COMP-6 低边比较器正输入 1	I		28			
COMP6_LP2	COMP-6 低边比较器正输入 2	I		28			
COMP6_LP3	COMP-6 低边比较器正输入 3	I		38	28		
COMP6_LP4	COMP-6 低边比较器正输入 4	I		14	14	10	9
COMP7_HN0	COMP-7 高边比较器负输入 0	I		41			

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
COMP7_HN1	COMP-7 高边比较器负输入 1	I		44			
COMP7_HP0	COMP-7 高边比较器正输入 0	I		40	29	25	23
COMP7_HP1	COMP-7 高边比较器正输入 1	I		44			
COMP7_HP2	COMP-7 高边比较器正输入 2	I		43			
COMP7_HP3	COMP-7 高边比较器正输入 3	I		41			
COMP7_HP4	COMP-7 高边比较器正输入 4	I		32	24	20	18
COMP7_LN0	COMP-7 低边比较器负输入 0	I		41			
COMP7_LN1	COMP-7 低边比较器负输入 1	I		44			
COMP7_LP0	COMP-7 低边比较器正输入 0	I		40	29	25	23
COMP7_LP1	COMP-7 低边比较器正输入 1	I		44			
COMP7_LP2	COMP-7 低边比较器正输入 2	I		43			
COMP7_LP3	COMP-7 低边比较器正输入 3	I		41			
COMP7_LP4	COMP-7 低边比较器正输入 4	I		32	24	20	18
DACA_OUT	缓冲 DAC-A 输出	O		23	19	15	13
DACB_OUT	缓冲 DAC-B 输出	O		22	18	14	12
VDAC	片上 DAC 的可选外部基准电压。如果将此引脚用作片上 DAC 的基准, 请在此引脚上放置至少一个 1 μ F 电容器。	I		8		8	7
VREFHIA	ADC-A 高基准电压。在内部或外部基准模式下, 在此引脚上放置至少一个 2.2 μ F 电容。此电容应放置在 VREFHIA 和 VREFLOA 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		25	20	16	14
VREFHIB	ADC-B 高基准电压。在内部或外部基准模式下, 在此引脚上放置至少一个 2.2 μ F 电容。此电容应放置在 VREFHIB 和 VREFLOB 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		24	20	16	14
VREFHIC	ADC-C 高基准电压。在内部或外部基准模式下, 在此引脚上放置至少一个 2.2 μ F 电容。此电容应放置在 VREFHC 和 VREFLC 引脚之间尽可能靠近器件的位置。不要在内部或外部基准模式下从外部加载此引脚。	I/O		24	20	16	14
VREFLOA	ADC-A 低基准电压	I		27	21	17	15
VREFLOB	ADC-B 低基准电压	I		26	21	17	15
VREFLOC	ADC-C 低基准电压	I		26	21	17	15

3.3.2. 数字信号

表格 5 数字信号

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
ADCSOCAO	输出至外部 ADC 的 ADC 准换启动 A 信号（来自 PWM）	O	8、33	74、53	38、58	47、32	42、29
ADCSOCBO	输出至外部 ADC 的 ADC 准换启动 B 信号（来自 PWM）	O	10、32	93、64	76、49	63、40	37
CANA_RX	CAN-A 接收	I	18、30、 33、35、 5、3、12	68、53、63、 89、98、76、 51	50、60、 74、1、 36、38、48	41、32、 39、61、 49、30	38、 29、 36、 55、 44、27
CANA_TX	CAN-A 发送	O	31、32、 37、4、 13、17、2	61、64、75、 99、50、55、 77	49、59、 61、2、 35、40、46	34、37、 40、48、 29、50	34、 37、 43、 26、 31、45
CANB_RX	CAN-B 接收	I	10、13、 17、39、 59、7、 21、49	50、55、84、 91、92、93	56、68、 76、35、40	29、34、 57、63	26、 31、52
CANB_TX	CAN-B 发送	O	12、16、 58、6、 8、20、48	51、54、67、 74、97	58、80、 36、39	30、33、 47、64	1、27、 30、42
PWM1_A	PWM-1 输出 A	O	0、30	79、98	1、63	52	47
PWM1_B	PWM-1 输出 B	O	1、31	78、99	2、62	51	46
PWM2_A	PWM-2 输出 A	O	2、41	77	61、66	50	45
PWM2_B	PWM-2 输出 B	O	3、47	76	60、64	49	44
PWM3_A	PWM-3 输出 A	O	4、14	75、96	79、59	48	43
PWM3_B	PWM-3 输出 B	O	5、15	89、95	78、74	61	55
PWM4_A	PWM-4 输出 A	O	6、22	97、83	80、67	64、56	1、51
PWM4_B	PWM-4 输出 B	O	7、23	84、81	65、68	57、54	52、49
PWM5_A	PWM-5 输出 A	O	16、8	54、74	39、58	33、47	30、42
PWM5_B	PWM-5 输出 B	O	17、9	55、90	40、75	34、62	31、56
PWM6_A	PWM-6 输出 A	O	10、18	68、93	50、76	41、63	38
PWM6_B	PWM-6 输出 B	O	11	52	37	31	28
PWM7_A	PWM-7 输出 A	O	12、28	1、51	36、4	2、30	27、3
PWM7_B	PWM-7 输出 B	O	13、29	100、50	3、35	1、29	2、26

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
PWM8_A	PWM-8 输出 A	O	14、24	56、96	79、41	35	32
PWM8_B	PWM-8 输出 B	O	15、32	64、95	78、49	40	37
QEP1_A	QEP-1 输入 A	I	10、28、 35、40、 56、6、 25、47、 50、20	1、63、65、 85、93、97、 57	4、42、 48、64、 69、76、80	2、39、 63、64	1、3、 36
QEP1_B	QEP-1 输入 B	I	11、29、 37、57、 7、41、 51、21	100、52、 61、66、84	3、37、 46、66、68	1、31、 37、57	2、28、 34、52
QEP1_INDEX	QEP-1 索引	I/O	13、17、 31、59、 9、53、 49、43、 23	50、55、90、 92、99、49、 81	2、35、 34、40、 54、56、 65、75	29、34、 62、54	26、 31、 56、49
QEP1_STROBE	QEP-1 选通	I/O	12、16、 22、30、 58、8、 52、42	51、54、67、 74、83、98	1、36、 39、57、 58、67	30、33、 47、56	27、 30、 42、51
QEP2_A	QEP-2 输入 A	I	14、18、 24、54、 11	56、68、96、 48、52	37、41、 50、79、33	35、41、31	32、 38、28
QEP2_B	QEP-2 输入 B	I	15、25、 33、16、 55	57、95、53、 54	38、39、 42、78	32、33	29、30
QEP2_INDEX	QEP-2 索引	I/O	26、29、 57、49	100、58、66	3、43、56	1	2
QEP2_STROBE	QEP-2 选通	I/O	27、28、 56、4	1、59、65、 75	4、44、59	2、48	3、43
ERRORSTS	低电平有效错误状态输出。上电期间或在 ERRORSTS 信号本身发生故障期间，如果使用外部下拉电阻，则错误状态置为有效；如果使用外部上拉电阻，则错误状态置为无效。	O	24、28、 29	1、100、56	3、4、41	1、2、35	2、3、 32
QSPI_SCLK	QSPI_SCLK		4、27、 10、41	75、59、93	66、76、 44、59	48、63	43
QSPI_IO0	QSPI_IO0		12、32、 6、45	51、64、97	73、80、 36、49	30、40、64	27、 37、1
QSPI_IO1	QSPI_IO1		11、31、 0、5	52、99、79、 89	74、2、 37、63	31、52、61	28、 47、55

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
QSPI_IO2	QSPI_IO2		26、3、 40、9、44	58、76、85、 90	75、43、 60、69	49、62	44、56
QSPI_IO3	QSPI_IO3		25、8、 2、39、30	57、74、77、 91、98	1、42、 58、61	47、50	42、45
QSPI_SS_N	QSPI_SS_N		13、33、 7、46	50、53、84	6、35、 38、68	29、57、32	26、 52、29
GPIO0	通用输入/输出 0	I/O	0	79	63	52	47
GPIO1	通用输入/输出 1	I/O	1	78	62	51	46
GPIO2	通用输入/输出 2	I/O	2	77	61	50	45
GPIO3	通用输入/输出 3	I/O	3	76	60	49	44
GPIO4	通用输入/输出 4	I/O	4	75	59	48	43
GPIO5	通用输入/输出 5	I/O	5	89	74	61	55
GPIO6	通用输入/输出 6	I/O	6	97	80	64	1
GPIO7	通用输入/输出 7	I/O	7	84	68	57	52
GPIO8	通用输入/输出 8	I/O	8	74	58	47	42
GPIO9	通用输入/输出 9	I/O	9	90	75	62	56
GPIO10	通用输入/输出 10	I/O	10	93	76	63	
GPIO11	通用输入/输出 11	I/O	11	52	37	31	28
GPIO12	通用输入/输出 12	I/O	12	51	36	30	27
GPIO13	通用输入/输出 13	I/O	13	50	35	29	26
GPIO14	通用输入/输出 14	I/O	14	96	79		
GPIO15	通用输入/输出 15	I/O	15	95	78		
GPIO16	通用输入/输出 16	I/O	16	54	39	33	30
GPIO17	通用输入/输出 17	I/O	17	55	40	34	31
GPIO18_X2	通用输入/输出 18。仅在由 INTOSC 为系统时钟源且 X1 连接外部下拉电阻器（推荐 1kΩ） ，该引脚及其数字多路复用选 项才可使用。	I/O	18	68	50	41	38
GPIO20	通用输入/输出 20	I/O	20				
GPIO21	通用输入/输出 21	I/O	21				
GPIO22	通用输入/输出 22	I/O	22	83	67	56	51
GPIO23	通用输入/输出 23	I/O	23	81	65	54	49
GPIO24	通用输入/输出 24	I/O	24	56	41	35	32

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
GPIO25	通用输入/输出 25	I/O	25	57	42		
GPIO26	通用输入/输出 26	I/O	26	58	43		
GPIO27	通用输入/输出 27	I/O	27	59	44		
GPIO28	通用输入/输出 28	I/O	28	1	4	2	3
GPIO29	通用输入/输出 29	I/O	29	100	3	1	2
GPIO30	通用输入/输出 30	I/O	30	98	1		
GPIO31	通用输入/输出 31	I/O	31	99	2		
GPIO32	通用输入/输出 32	I/O	32	64	49	40	37
GPIO33	通用输入/输出 33	I/O	33	53	38	32	29
GPIO34	通用输入/输出 34	I/O	34	94	77		
GPIO35	通用输入/输出 35	I/O	35	63	48	39	36
GPIO37	通用输入/输出 37	I/O	37	61	46	37	34
GPIO39	通用输入/输出 39	I/O	39	91			
GPIO40	通用输入/输出 40	I/O	40	85			
GPIO41	通用输入/输出 41	I/O	41		66		
GPIO42	通用输入/输出 42	I/O	42		57		
GPIO43	通用输入/输出 43	I/O	43		54		
GPIO44	通用输入/输出 44	I/O	44		69		
GPIO45	通用输入/输出 45	I/O	45		73		
GPIO46	通用输入/输出 46	I/O	46		6		
GPIO47	通用输入/输出 47	I/O	47		64		
GPIO48	通用输入/输出 48	I/O	48				
GPIO49	通用输入/输出 49	I/O	49		56		
GPIO50	通用输入/输出 50	I/O	50				
GPIO51	通用输入/输出 51	I/O	51				
GPIO52	通用输入/输出 52	I/O	52				
GPIO53	通用输入/输出 53	I/O	53	49	34		
GPIO54	通用输入/输出 54	I/O	54	48	33		
GPIO55	通用输入/输出 55	I/O	55				
GPIO56	通用输入/输出 56	I/O	56	65			
GPIO57	通用输入/输出 57	I/O	57	66			
GPIO58	通用输入/输出 58	I/O	58	67			
GPIO59	通用输入/输出 59	I/O	59	92			

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
I2CA_SCL	I2C-A 开漏双向时钟	I/OD	1、18、 27、33、 37、8、 21、43	53、59、61、 68、74、78	38、44、 46、50、 54、58、62	32、37、 41、47、51	29、 34、 38、 42、46
I2CA_SDA	I2C-A 开漏双向数据	I/OD	0、10、 26、32、 35、23、 42	58、63、64、 79、93、81	43、48、 49、57、 63、76、65	39、40、 52、63、54	36、 37、 47、49
LINA_RX	LIN-A 接收	I	29、33、 35、59、 47、47、 23	100、53、 63、92、81	64、57、 48、38、 3、65	1、32、 39、54	2、29、 36、49
LINA_TX	LIN-A 发送	O	22、28、 32、37、 58、46	1、61、64、 67、83	4、46、 49、6、 67	2、37、 40、56	3、34、 37、51
OUTPUTXBAR1	输出X-BAR 输出 1	O	2、24、 34、58	56、67、77、 94	41、61、 77	35、50	32、45
OUTPUTXBAR2	输出X-BAR 输出 2	O	25、3、 37、59	57、61、76、 92	42、46、60	37、49	34、44
OUTPUTXBAR3	输出X-BAR 输出 3	O	14、26、 4、 5、48	58、75、89、 96	43、59、 74、79	48、61	43、55
OUTPUTXBAR4	输出X-BAR 输出 4	O	15、27、 33、6、49	53、59、95、 97	38、44、 78、80、56	32、64	1、29
OUTPUTXBAR5	输出X-BAR 输出 5	O	28、7、42	1、84	4、57、68	2、57	3、52
OUTPUTXBAR6	输出X-BAR 输出 6	O	29、9、43	100、90	3、54、75	1、62	2、56
OUTPUTXBAR7	输出X-BAR 输出 7	O	11、16、 30、44	52、54、98	1、37、 39、69	31、33	28、30
OUTPUTXBAR8	输出X-BAR 输出 8	O	17、31、 45	55、99	2、40、73	34	31
PMBUSA_ALERT	PMBus-A 开漏双向警报信号	I/OD	13、27、 37、43	50、59、61	35、44、 46、54	29、37	26、34
PMBUSA_CTL	PMBus-A 控制信号	I	12、18、 26、35、 42	51、58、63、 68	36、43、 48、50、57	30、39、41	27、 36、38
PMBUSA_SCL	PMBus-A 开漏双向时钟	I/OD	15、16、24、 3、35、41	54、56、63、 76、95	39、41、 48、60、 66、78	33、35、39、 49	30、32、 36、44
PMBUSA_SDA	PMBus-A 开漏双向数据	I/OD	14、17、 2、25、 34、40、 47	55、57、77、 85、94、96	40、42、 61、64、 77、79	34、50	31、45

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
UARTA_RX	UART-A 接收数据	I	17、25、 28、3、 35、9、49	1、55、57、 63、76、90	4、40、 42、48、 60、75、56	2、34、 39、 49、62	3、31、 36、 44、56
UARTA_TX	UART-A 发送数据	O	16、2、 24、29、 37、8、48	100、54、 56、61、74、 77	3、39、 41、46、 58、61	1、33、 35、37、 47、50	2、30、 32、 34、 42、45
UARTB_RX	UART-B 接收数据	I	11、13、 15、57、 53、55、 43、41、 23	50、52、66、 95、49、81	65、66、 78、35、 37、54、34	29、31、54	26、 28、49
UARTB_TX	UART-B 发送数据	O	10、12、 14、18、 22、40、 56、9、 54、42	51、65、68、 83、85、90、 93、96、48	67、75、 76、33、 57、50、 79、36	30、41、 56、62、63	27、 38、 51、56
SD1_C1	SDF-1 通道 1 时钟输入	I	17、25、 49	55、57	40、42、56	34	31
SD1_C2	SDF-1 通道 2 时钟输入	I	27、51	59	44	-	-
SD1_C3	SDF-1 通道 3 时钟输入	I	29、33、 57、53、 21	100、53、 66、49	3、34、38	1、32	2、29、 50
SD1_C4	SDF-1 通道 4 时钟输入	I	31、59、 55、23	92、99、81	65、2	54	49
SD1_D1	SDF-1 通道 1 数据输入	I	16、24、 48	54、56	39、41	33、35	30、32
SD1_D2	SDF-1 通道 2 数据输入	I	18、26、 50	58、68	43、50	41	38
SD1_D3	SDF-1 通道 3 数据输入	I	28、32、 56、20、 52	1、64、65	4、49	2、40	3、37、 48
SD1_D4	SDF-1 通道 4 数据输入	I	22、30、 58、54	67、83、98、 48	33、67、1	56	51
SPIA_CLK	SPI-A 时钟	I/O	18、3、 56、9、12	65、68、76、 90、51	36、50、 60、75	41、49、 62、30	38、 44、 56、27
SPIA_SIMO	SPI-A 从机输入，主机输出	I/O	16、8、 54、11、2	54、74、48、 52、77	37、39、 58、61、33	33、47、 31、50	30、 42、 28、45
SPIA_SOMI	SPI-A 从机输出，主机输入	I/O	10、17、 13、1、55	55、93、50、 78	35、40、 62、76	34、63、 29、51	31、 26、46

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
SPIA_STE	SPI-A 从机发送使能	I/O	11、5、 57、0	52、66、89、 79	37、63、 74	31、61、52	28、 55、47
SPIB_CLK	SPI-B 时钟	I/O	14、22、 26、28、 32、58、 4、20、52	1、58、64、 67、83、96、 75	4、43、 49、59、 67、79	2、40、 56、48	3、37、 51、43
SPIB_SIMO	SPI-B 从机输入，主机输出	I/O	24、30、 56、7、 20、21、 23、50	56、65、84、 98、81	1、41、 64、68、65	35、57、54	32、 52、49
SPIB_SOMI	SPI-B 从机输出，主机输入	I/O	25、31、 57、6、 16、21、 41、51	57、66、97、 99、54	2、39、 42、66、80	64、33	1、30
SPIB_STE	SPI-B 从机发送使能	I/O	15、27、 29、33、 59、53、 41、23	100、53、 59、92、95、 49、81	3、34、 38、44、 65、66、78	1、32、54	2、29、 49
SYNCOUT	外部 PWM 同步脉冲	O	6、49	97	56、80	64	1
X1	晶体振荡器或单端时钟输入。 此引脚也可用于馈入单端 3.3V 电平时钟。设备初始化软件必须在启用晶体振荡器之前配置此引脚。要使用此振荡器，必须将石英晶体电路连接到 X1 和 X2。 不支持 GPIO19，GPIO19 在内部连接至 X1 功能，当需要使用 X1 时钟功能时，需将 GPIO19 保持在输入模式，并禁用上拉电阻以避免与 X1 时钟功能发生干扰。	I/O		69	51	42	39
X2	晶振振荡器输出	I/O	18	68	50	41	38
XCLKOUT	外部时钟输出	O	16、18	54、68	39、50	33、41	30、38

3.3.3. 电源和接地

表格 6 电源和接地

信号名称	说明	引脚类型	GPIO	LQFP100/ E- LQFP100	LQFP 80	LQFP64/E- LQFP64	QFN 56
VDD	1.1V 数字逻辑电源引脚。建议在每个VDD 引脚附近放置一个最小总电容值约为20μF 的去耦电容器。			4、46、71、 87	31、 53、 71、8	27、4、44、 59	24、 41、 5、53

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP 80	LQFP64/E-LQFP64	QFN 56
VDDA	3.3V 模拟电源引脚。建议在每个引脚上放置一个最小值为 2.2 μ F 且连接至 VSSA 的去耦电容。			11、34	26	22	20
VDDIO	3.3V 数字 I/O 电源引脚。建议在每个引脚上放置一个最小值为 0.1 μ F 的去耦电容。			3、47、70、80、88	32、52、7、72	28、43、53、60	25、40、48、54
VSS	数字接地			45、5、72、86	30、55、70、9	26、45、5、58	
VSSA	模拟接地			12、33	25	21	19
VSSIO	3.3V 数字 I/O 接地			82		55	50

3.3.4. 调试和复位

表格 7 调试和复位

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP 80	LQFP64/ E-LQFP64	QFN 56
TCK (SWCLK)	带有内部上拉电阻的 JTAG 测试时钟。当 SWD 调试模式使用时，此引脚可用于 SWD 时钟 (SWCLK)。	I		60	45	36	33
TMS (SWDIO)	带有内部上拉电阻的 JTAG 测试模式选择、当 SWD 调试模式使用时，此引脚可用于 SWD 串行数据线路 (SWDIO)。	I/O		62	47	38	35
TDI	JTAG 测试数据输入 (TDI)。默认情况下，内部上拉处于禁用状态。如果将该引脚用作 JTAG TDI，应启用内部上拉电阻或增加一个外部上拉电阻，以避免输入悬空。	I	35	63	48	39	36
TDO	JTAG 测试数据输出 (TDO)。默认情况下，内部上拉处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；应启用内部上拉电阻或者增加一个外部上拉电阻，以避免 GPIO 输入悬空。	O	37	61	46	37	34
VREGENZ	具有内部下拉电阻的内部稳压器使能。直接连接到 VSS (低电平) 以启用内部 VREG，直接连接到 VDDIO (高电平) 以使用外部电源。	I		73		46	

信号名称	说明	引脚类型	GPIO	LQFP100/ E-LQFP100	LQFP 80	LQFP64/ E-LQFP64	QFN 56
XRSn	器件复位（输入）和看门狗复位（输出）。在上电时，此引脚由器件驱动为低电平，外部电路也可能会驱动此引脚以使芯片复位生效；发生看门狗复位时，此引脚也由 MCU 驱动为低电平。 应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的上拉电阻，并建议在 XRSn 和 VSS 之间放置一个小于 100nF 的下拉电容进行噪声滤除。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。 这个引脚的输出缓冲器是一个有内部上拉电阻的开漏，当外部器件驱动此引脚时，应使用开漏器件进行驱动。	I/OD		2	5	3	4

3.4. 引脚多路复用

3.4.1. GPIO 多路复用引脚

下表列出了 GPIO 多路复用引脚。每个 GPIO 引脚的默认模式都是 GPIO 功能，但 GPIO35 和 GPIO37 除外，这两个引脚的默认模式分别为 TDI 和 TDO。可以通过设置 GPyGMUXn.GPIOz 和 GPyMUXn.GPIOz 寄存器位来选择辅助功能。GPyGMUXn 寄存器应在 GPyMUXn 之前配置，以避免交替的多路复用器选择对 GPIO 产生瞬时脉冲。未显示的列和空白单元格是保留的 GPIO 多路复用器设置。

注意：GPIO20、GPIO21、GPIO48、GPIO50、GPIO51、GPIO52、GPIO55 在任何封装上都不可用。引导 ROM 在这些引脚上启用上拉电阻。

表格 8 GPIO 多路复用引脚

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO0	PWM1_A		SPIA_STE		I2CA_SDA				QSPI_IO1			
GPIO1	PWM1_B		SPIA_SOMI		I2CA_SCL							
GPIO2	PWM2_A	CANA_TX	SPIA_SIMO	OUTPUTXBA R1	PMBUSA_S DA		UARTA_TX		QSPI_IO3			
GPIO3	PWM2_B	OUTPUTXB AR2	CANA_RX	OUTPUTXBA R2	PMBUSA_S CL	SPIA_CLK	UARTA_RX		QSPI_IO2			
GPIO4	PWM3_A	QEP2_STR OBE	SPIB_CLK	OUTPUTXBA R3	CANA_TX				QSPI_SCLK			
GPIO5	PWM3_B		OUTPUTXB AR3		CANA_RX	SPIA_STE			QSPI_IO1			
GPIO6	PWM4_A	OUTPUTXB AR4	SYNCOU	QEP1_A	CANB_TX	SPIB_SOMI			QSPI_IO0			
GPIO7	PWM4_B		OUTPUTXB AR5	QEP1_B	CANB_RX	SPIB_SIMO			QSPI_SS_N			
GPIO8	PWM5_A	CANB_TX	ADCSCAO	QEP1_STRO BE	UARTA_TX	SPIA_SIMO	I2CA_SCL		QSPI_IO3			

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO9	PWM5_B	UARTB_TX	OUTPUTXB AR6	QEP1_INDEX	UARTA_RX	SPIA_CLK			QSPI_IO2			
GPIO10	PWM6_A	CANB_RX	ADCSOCBO	QEP1_A	UARTB_TX	SPIA_SOMI	I2CA_SDA		QSPI_SCLK			
GPIO11	PWM6_B	UARTB_RX	OUTPUTXB AR7	QEP1_B	UARTB_RX	SPIA_STE		QEP2_A	QSPI_IO1	SPIA_SI MO		
GPIO12	PWM7_A	CANB_TX	SPIA_CLK	QEP1_STRO BE	UARTB_TX	PMBUSA_CT L		CANA_RX	QSPI_IO0			TRACED 2
GPIO13	PWM7_B	CANB_RX	SPIA_SOMI	QEP1_INDEX	UARTB_RX	PMBUSA_AL ERT		CANA_TX	QSPI_SS_N			TRACED 3
GPIO14	PWM8_A	UARTB_TX		PWM3_A	OUTPUTXB AR3	PMBUSA_SD A	SPIB_CLK	QEP2_A				
GPIO15	PWM8_B	UARTB_RX		PWM3_B	OUTPUTXB AR4	PMBUSA_SC L	SPIB_STE	QEP2_B				
GPIO16	SPIA_SIMO	CANB_TX	OUTPUTXB AR7	PWM5_A	UARTA_TX	SD1_D1	QEP1_STR OBE	PMBUSA_SC L	XCLKOUT	SPIB_SO MI	QEP2 _B	TRACED 0
GPIO17	SPIA_SOMI	CANB_RX	OUTPUTXB AR8	PWM5_B	UARTA_RX	SD1_C1	QEP1_INDE X	PMBUSA_SD A		CANA_T X		TRGIO
GPIO18_ X2	SPIA_CLK	UARTB_TX	CANA_RX	PWM6_A	I2CA_SCL	SD1_D2	QEP2_A	PMBUSA_C TL	XCLKOUT			
GPIO20	QEP1_A		CANB_TX		SPIB_SIMO	SD1_D3	SPIB_CLK					
GPIO21	QEP1_B		CANB_RX		SPIB_SOMI	SD1_C3			I2CA_SCL			
GPIO22	QEP1_STR OBE		UARTB_TX	PWM4_A	SPIB_CLK	SD1_D4	LINA_TX					
GPIO23	QEP1_INDE X		UARTB_RX	PWM4_B	SPIB_STE	SD1_C4	LINA_RX		I2CA_SDA	SPIB_SI MO		
GPIO24	OUTPUTXB	QEP2_A		PWM8_A	SPIB_SIMO	SD1_D1		PMBUSA_SC	UARTA_TX	ERRORS		TRACEC

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
	AR1							L		TS		LK
GPIO25	OUTPUTXB AR2	QEP2_B		QEP1_A	SPIB_SOMI	SD1_C1		PMBUSA_SD A	UARTA_RX	QSPI_IO 3		
GPIO26	OUTPUTXB AR3	QEP2_INDE X		OUTPUTXBA R3	SPIB_CLK	SD1_D2		PMBUSA_CT L	I2CA_SDA	QSPI_IO 2		
GPIO27	OUTPUTXB AR4	QEP2_STR OBE		OUTPUTXBA R4	SPIB_STE	SD1_C2		PMBUSA_AL ERT	I2CA_SCL	QSPI_SC LK		
GPIO28	UARTA_RX		PWM7_A	OUTPUTXBA R5	QEP1_A	SD1_D3	QEP2_STR OBE	LINA_TX	SPIB_CLK	ERRORS TS		TRACEC LK
GPIO29	UARTA_TX		PWM7_B	OUTPUTXBA R6	QEP1_B	SD1_C3	QEP2_INDE X	LINA_RX	SPIB_STE	ERRORS TS		TRACED 0
GPIO30	CANA_RX	PWM1_A	SPIB_SIMO	OUTPUTXBA R7	QEP1_STR OBE	SD1_D4			QSPI_IO3			TRACED 1
GPIO31	CANA_TX	PWM1_B	SPIB_SOMI	OUTPUTXBA R8	QEP1_INDE X	SD1_C4			QSPI_IO1			TRACED 2
GPIO32	I2CA_SDA		SPIB_CLK	PWM8_B	LINA_TX	SD1_D3		CANA_TX	QSPI_IO0	ADCSOC BO		TRGIO
GPIO33	I2CA_SCL	QEP2_B	SPIB_STE	OUTPUTXBA R4	LINA_RX	SD1_C3		CANA_RX	QSPI_SS_N	ADCSOC AO		TRACED 1
GPIO34	OUTPUTXB AR1				PMBUSA_S DA							TRACED 3
GPIO35	UARTA_RX		I2CA_SDA	CANA_RX	PMBUSA_S CL	LINA_RX	QEP1_A	PMBUSA_CT L				TDI
GPIO37	OUTPUTXB AR2		I2CA_SCL	UARTA_TX	CANA_TX	LINA_TX	QEP1_B	PMBUSA_AL ERT				TDO
GPIO39					CANB_RX				QSPI_IO3			

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO40					PMBUSA_S DA		UARTB_TX	QEP1_A	QSPI_IO2			
GPIO41	PWM2_A		SPIB_STE		PMBUSA_S CL		UARTB_RX	QEP1_B	QSPI_SCLK	SPIB_SO MI		
GPIO42		LINA_RX	OUTPUTXB AR5	PMBUSA_CT L	I2CA_SDA		UARTB_RX	QEP1_STRO BE				
GPIO43			OUTPUTXB AR6	PMBUSA_AL ERT	I2CA_SCL		UARTB_TX	QEP1_INDEX				
GPIO44		QEP1_A	OUTPUTXB AR7						QSPI_IO2			
GPIO45			OUTPUTXB AR8						QSPI_IO0			
GPIO46			LINA_TX						QSPI_SS_N			
GPIO47	PWM2_B	QEP1_A	LINA_RX		SPIB_SIMO	PMBUSA_SD A						
GPIO48	OUTPUTXB AR3		CANB_TX		UARTA_TX	SD1_D1						
GPIO49	OUTPUTXB AR4	QEP1_INDE X	CANB_RX		UARTA_RX	SD1_C1	QEP2_INDE X		SYNCOUT			
GPIO50	QEP1_A				SPIB_SIMO	SD1_D2						
GPIO51	QEP1_B				SPIB_SOMI	SD1_C2						
GPIO52	QEP1_STR OBE				SPIB_CLK	SD1_D3						
GPIO53	QEP1_INDE X				SPIB_STE	SD1_C3	UARTB_RX					
GPIO54	SPIA_SIMO			QEP2_A	UARTB_TX	SD1_D4						
GPIO55	SPIA_SOMI			QEP2_B	UARTB_RX	SD1_C4						

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15
GPIO56	SPIA_CLK			QEP2_STRO BE	UARTB_TX	SD1_D3	SPIB_SIMO		QEP1_A			
GPIO57	SPIA_STE			QEP2_INDEX	UARTB_RX	SD1_C3	SPIB_SOMI		QEP1_B			
GPIO58				OUTPUTXBA R1	SPIB_CLK	SD1_D4	LINA_TX	CANB_TX	QEP1_STR OBE			
GPIO59				OUTPUTXBA R2	SPIB_STE	SD1_C4	LINA_RX	CANB_RX	QEP1_INDE X			

数字信号及相应的 GPIO 表列出了每个封装内所有可用的多路复用信号以及相应的 GPIO。

表格 9 数字信号及相应的 GPIO

信号名称	引脚类型	说明	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
ADCSOCAO	O	外部ADC（来自PWM 模块）的ADC 转换启动A 输出	GPIO8 GPIO33	GPIO8 GPIO33	GPIO8 GPIO33	GPIO8 GPIO33
ADCSOCBO	O	外部ADC（来自PWM 模块）的ADC 转换启动B 输出	GPIO10 GPIO32	GPIO10 GPIO32	GPIO10 GPIO32	GPIO32
CANA_RX	I	CAN-A 接收	GPIO3 GPIO5 GPIO12 GPIO18_X2 GPIO30 GPIO33 GPIO35/TDI	GPIO3 GPIO5 GPIO12 GPIO18_X2 GPIO30 GPIO33 GPIO35/TDI	GPIO3 GPIO5 GPIO12 GPIO18_X2 GPIO33 GPIO35/TDI	GPIO3 GPIO5 GPIO12 GPIO18_X2 GPIO33 GPIO35/TDI
CANA_TX	O	CAN-A 发送	GPIO2 GPIO4 GPIO13 GPIO17 GPIO31 GPIO32 GPIO37/TDO	GPIO2 GPIO4 GPIO13 GPIO17 GPIO31 GPIO32 GPIO37/TDO	GPIO2 GPIO4 GPIO13 GPIO17 GPIO32 GPIO37/TDO	GPIO2 GPIO4 GPIO13 GPIO17 GPIO32 GPIO37/TDO
CANB_RX	I	CAN-B 接收	GPIO7 GPIO10 GPIO13 GPIO17 GPIO21 GPIO39 GPIO59	GPIO7 GPIO10 GPIO13 GPIO17 GPIO49	GPIO7 GPIO10 GPIO13 GPIO17 GPIO21	GPIO7 GPIO13 GPIO17 GPIO21
CANB_TX	O	CAN-B 发送	GPIO6 GPIO8 GPIO12 GPIO16 GPIO20 GPIO58	GPIO6 GPIO8 GPIO12 GPIO16	GPIO6 GPIO8 GPIO12 GPIO16 GPIO20	GPIO6 GPIO8 GPIO12 GPIO16 GPIO20
PWM1_A	O	PWM-1 输出 A	GPIO0 GPIO30	GPIO0 GPIO30	GPIO0	GPIO0
PWM1_B	O	PWM-1 输出 B	GPIO1 GPIO31	GPIO1 GPIO31	GPIO1	GPIO1
PWM2_A	O	PWM-2 输出 A	GPIO2	GPIO2 GPIO41	GPIO2	GPIO2
PWM2_B	O	PWM-2 输出 B	GPIO3	GPIO3 GPIO47	GPIO3	GPIO3

信号名称	引脚类型	说明	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
PWM3_A	O	PWM-3 输出 A	GPIO4 GPIO14	GPIO4 GPIO14	GPIO4	GPIO4
PWM3_B	O	PWM-3 输出 B	GPIO5 GPIO15	GPIO5 GPIO15	GPIO5	GPIO5
PWM4_A	O	PWM-4 输出 A	GPIO6 GPIO22	GPIO6 GPIO22	GPIO6 GPIO22	GPIO6 GPIO22
PWM4_B	O	PWM-4 输出 B	GPIO7 GPIO23	GPIO7 GPIO23	GPIO7 GPIO23	GPIO7 GPIO23
PWM5_A	O	PWM-5 输出 A	GPIO8 GPIO16	GPIO8 GPIO16	GPIO8 GPIO16	GPIO8 GPIO16
PWM5_B	O	PWM-5 输出 B	GPIO9 GPIO17	GPIO9 GPIO17	GPIO9 GPIO17	GPIO9 GPIO17
PWM6_A	O	PWM-6 输出 A	GPIO10 GPIO18_X2	GPIO10 GPIO18_X2	GPIO10 GPIO18_X2	GPIO18_X2
PWM6_B	O	PWM-6 输出 B	GPIO11	GPIO11	GPIO11	GPIO11
PWM7_A	O	PWM-7 输出 A	GPIO12 GPIO28	GPIO12 GPIO28	GPIO12 GPIO28	GPIO12 GPIO28
PWM7_B	O	PWM-7 输出 B	GPIO13 GPIO29	GPIO13 GPIO29	GPIO13 GPIO29	GPIO13 GPIO29
PWM8_A	O	PWM-8 输出 A	GPIO14 GPIO24	GPIO14 GPIO24	GPIO24	GPIO24
PWM8_B	O	PWM-8 输出 B	GPIO15 GPIO32	GPIO15 GPIO32	GPIO32	GPIO32
QEP1_A	I	QEP-1 输入 A	GPIO6 GPIO10 GPIO25 GPIO28 GPIO35/TDI GPIO40 GPIO56	GPIO6 GPIO10 GPIO44 GPIO25 GPIO28 GPIO35/TDI GPIO47	GPIO6 GPIO10 GPIO28 GPIO35/TDI	GPIO6 GPIO28 GPIO35/TDI
QEP1_B	I	QEP-1 输入 B	GPIO7 GPIO11 GPIO29 GPIO37/TDO GPIO57	GPIO7 GPIO11 GPIO29 GPIO37/TDO GPIO41	GPIO7 GPIO11 GPIO29 GPIO37/TDO	GPIO7 GPIO11 GPIO29 GPIO37/TDO
QEP1_INDEX	I/O	QEP-1 索引	GPIO9 GPIO13 GPIO17 GPIO23 GPIO31 GPIO53 GPIO59	GPIO9 GPIO13 GPIO17 GPIO23 GPIO31 GPIO43 GPIO49	GPIO9 GPIO13 GPIO17 GPIO23	GPIO9 GPIO13 GPIO17 GPIO23

信号名称	引脚类型	说明	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
				GPIO53		
QEP1_STROBE	I/O	QEP-1 选通	GPIO8 GPIO12 GPIO16 GPIO22 GPIO30 GPIO58	GPIO8 GPIO12 GPIO16 GPIO22 GPIO30 GPIO42	GPIO8 GPIO12 GPIO16 GPIO22	GPIO8 GPIO12 GPIO16 GPIO22
QEP2_A	I	QEP-2 输入 A	GPIO11 GPIO14 GPIO18_X2 GPIO24 GPIO54	GPIO11 GPIO14 GPIO18_X2 GPIO24 GPIO54	GPIO11 GPIO18_X2 GPIO24	GPIO11 GPIO18_X2 GPIO24
QEP2_B	I	QEP-2 输入 B	GPIO15 GPIO16 GPIO25 GPIO33	GPIO15 GPIO16 GPIO25 GPIO33	GPIO16 GPIO33	GPIO16 GPIO33
QEP2_INDEX	I/O	QEP-2 索引	GPIO26 GPIO29 GPIO57	GPIO26 GPIO29 GPIO49	GPIO29	GPIO29
QEP2_STROBE	I/O	QEP-2 选通	GPIO4 GPIO27 GPIO28 GPIO56	GPIO4 GPIO27 GPIO28	GPIO4 GPIO28	GPIO4 GPIO28
ERRORSTS	O	低电平有效错误状态输出。如果您希望在上电期间或在 ERRORSTS 信号本身发生故障期间将错误状态置为有效, 则可以使用外部下拉电阻。如果您不希望在上述条件下将错误状态置为有效, 则可以使用上拉电阻。	GPIO24 GPIO28 GPIO29	GPIO24 GPIO28 GPIO29	GPIO24 GPIO28 GPIO29	GPIO24 GPIO28 GPIO29
QSPI_IO0	IO	QSPI 数据输入输出 0	GPIO6 GPIO12 GPIO32	GPIO6 GPIO12 GPIO32 GPIO45	GPIO6 GPIO12 GPIO32	GPIO6 GPIO12 GPIO32
QSPI_IO1	IO	QSPI 数据输入输出 1	GPIO0 GPIO5 GPIO11 GPIO31	GPIO0 GPIO5 GPIO11 GPIO31	GPIO0 GPIO5 GPIO11	GPIO0 GPIO5 GPIO11
QSPI_IO2	IO	QSPI 数据输入输出 2	GPIO3 GPIO9 GPIO26	GPIO3 GPIO9 GPIO26	GPIO3 GPIO9	GPIO3 GPIO9

信号名称	引脚类型	说明	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
			GPIO40	GPIO44		
QSPI_IO3	IO	QSPI 数据输入输出 3	GPIO2 GPIO8 GPIO25 GPIO30 GPIO39	GPIO2 GPIO8 GPIO25 GPIO30	GPIO2 GPIO8	GPIO2 GPIO8
QSPI_SCLK	O	QSPI 时钟输出	GPIO4 GPIO10 GPIO27	GPIO4 GPIO10 GPIO27 GPIO41	GPIO4 GPIO10	GPIO4
QSPI_SS_N	O	QSPI 片选输出	GPIO7 GPIO13 GPIO33	GPIO7 GPIO13 GPIO46 GPIO33	GPIO7 GPIO13 GPIO33	GPIO7 GPIO13 GPIO33
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	GPIO1 GPIO8 GPIO18_X2 GPIO27 GPIO33 GPIO37/TDO	GPIO1 GPIO8 GPIO18_X2 GPIO27 GPIO33 GPIO37/TDO GPIO43	GPIO1 GPIO8 GPIO18_X2 GPIO33 GPIO37/TDO	GPIO1 GPIO8 GPIO18_X2 GPIO33 GPIO37/TDO
I2CA_SDA	I/OD	I2C-A 开漏双向数据	GPIO0 GPIO10 GPIO23 GPIO26 GPIO32 GPIO35/TDI	GPIO0 GPIO10 GPIO23 GPIO26 GPIO32 GPIO35/TDI GPIO42	GPIO0 GPIO10 GPIO23 GPIO32 GPIO35/TDI	GPIO0 GPIO23 GPIO32 GPIO35/TDI
LINA_RX	I	LIN-A 接收	GPIO23 GPIO29 GPIO33 GPIO35/TDI GPIO59	GPIO23 GPIO29 GPIO33 GPIO35/TDI GPIO42 GPIO47	GPIO23 GPIO29 GPIO33 GPIO35/TDI	GPIO23 GPIO29 GPIO33 GPIO35/TDI
LINA_TX	O	LIN-A 发送	GPIO22 GPIO28 GPIO32 GPIO37/TDO GPIO58	GPIO22 GPIO28 GPIO32 GPIO37/TDO GPIO46	GPIO22 GPIO28 GPIO32 GPIO37/TDO	GPIO22 GPIO28 GPIO32 GPIO37/TDO
OUTPUTXBAR1	O	输出X-BAR 输出 1	GPIO2 GPIO24 GPIO34	GPIO2 GPIO24 GPIO34	GPIO2 GPIO24	GPIO2 GPIO24

信号名称	引脚类型	说明	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
			GPIO58			
OUTPUTXBAR2	O	输出X-BAR 输出2	GPIO3 GPIO25 GPIO37/TDO GPIO59	GPIO3 GPIO25 GPIO37/TDO	GPIO3 GPIO37/TDO	GPIO3 GPIO37/TDO
OUTPUTXBAR3	O	输出X-BAR 输出3	GPIO4 GPIO5 GPIO14 GPIO26	GPIO4 GPIO5 GPIO14 GPIO26	GPIO4 GPIO5	GPIO4 GPIO5
OUTPUTXBAR4	O	输出X-BAR 输出4	GPIO6 GPIO15 GPIO27 GPIO33	GPIO6 GPIO15 GPIO27 GPIO33 GPIO49	GPIO6 GPIO33	GPIO6 GPIO33
OUTPUTXBAR5	O	输出X-BAR 输出5	GPIO7 GPIO28	GPIO7 GPIO28 GPIO42	GPIO7 GPIO28	GPIO7 GPIO28
OUTPUTXBAR6	O	输出X-BAR 输出6	GPIO9 GPIO29	GPIO9 GPIO29 GPIO43	GPIO9 GPIO29	GPIO9 GPIO29
OUTPUTXBAR7	O	输出X-BAR 输出7	GPIO11 GPIO16 GPIO30	GPIO11 GPIO16 GPIO30 GPIO44	GPIO11 GPIO16	GPIO11 GPIO16
OUTPUTXBAR8	O	输出X-BAR 输出8	GPIO17 GPIO31	GPIO17 GPIO31 GPIO45	GPIO17	GPIO17
PMBUSA_ALERT	I/OD	PMBus-A 开漏双向警报信号	GPIO13 GPIO27 GPIO37/TDO	GPIO13 GPIO27 GPIO37/TDO GPIO43	GPIO13 GPIO37/TDO	GPIO13 GPIO37/TDO
PMBUSA_CTL	I	PMBus-A 控制信号	GPIO12 GPIO18_X2 GPIO26 GPIO35/TDI	GPIO12 GPIO18_X2 GPIO26 GPIO35/TDI GPIO42	GPIO12 GPIO18_X2 GPIO35/TDI	GPIO12 GPIO18_X2 GPIO35/TDI
PMBUSA_SCL	I/OD	PMBus-A 开漏双向时钟	GPIO3 GPIO15 GPIO16 GPIO24 GPIO35/TDI	GPIO3 GPIO15 GPIO16 GPIO24 GPIO35/TDI GPIO41	GPIO3 GPIO16 GPIO24 GPIO35/TDI	GPIO3 GPIO16 GPIO24 GPIO35/TDI

信号名称	引脚类型	说明	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
PMBUSA_SDA	I/OD	PMBus-A 开漏双向数据	GPIO2 GPIO14 GPIO17 GPIO25 GPIO34 GPIO40	GPIO2 GPIO14 GPIO17 GPIO25 GPIO34 GPIO47	GPIO2 GPIO17	GPIO2 GPIO17
UARTA_RX	I	UART-A 接收数据	GPIO3 GPIO9 GPIO17 GPIO25 GPIO28 GPIO35/TDI	GPIO3 GPIO9 GPIO17 GPIO25 GPIO28 GPIO35/TDI GPIO49	GPIO3 GPIO9 GPIO17 GPIO28 GPIO35/TDI	GPIO3 GPIO9 GPIO17 GPIO28 GPIO35/TDI
UARTA_TX	O	UART-A 发送数据	GPIO2 GPIO8 GPIO16 GPIO24 GPIO29 GPIO37/TDO	GPIO2 GPIO8 GPIO16 GPIO24 GPIO29 GPIO37/TDO	GPIO2 GPIO8 GPIO16 GPIO24 GPIO29 GPIO37/TDO	GPIO2 GPIO8 GPIO16 GPIO24 GPIO29 GPIO37/TDO
UARTB_RX	I	UART-B 接收数据	GPIO11 GPIO13 GPIO15 GPIO23 GPIO53 GPIO57	GPIO11 GPIO13 GPIO15 GPIO23 GPIO41 GPIO43 GPIO53	GPIO11 GPIO13 GPIO23	GPIO11 GPIO13 GPIO23
UARTB_TX	O	UART-B 发送数据	GPIO9 GPIO10 GPIO12 GPIO14 GPIO18_X2 GPIO22 GPIO40 GPIO54 GPIO56	GPIO9 GPIO10 GPIO12 GPIO14 GPIO18_X2 GPIO22 GPIO42 GPIO54	GPIO9 GPIO10 GPIO12 GPIO18_X2 GPIO22	GPIO9 GPIO12 GPIO18_X2 GPIO22
SD1_C1	I	SDF-1 通道 1 时钟输入	GPIO17 GPIO25	GPIO17 GPIO25 GPIO49	GPIO17	GPIO17
SD1_C2	I	SDF-1 通道 2 时钟输入	GPIO27	GPIO27		
SD1_C3	I	SDF-1 通道 3 时钟输入	GPIO29 GPIO33 GPIO53	GPIO29 GPIO33 GPIO53	GPIO29 GPIO33	GPIO29 GPIO33

信号名称	引脚类型	说明	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
			GPIO57			
SD1_C4	I	SDF-1 通道 4 时钟输入	GPIO23 GPIO31 GPIO59	GPIO23 GPIO31	GPIO23	GPIO23
SD1_D1	I	SDF-1 通道 1 数据输入	GPIO16 GPIO24	GPIO16 GPIO24	GPIO16 GPIO24	GPIO16 GPIO24
SD1_D2	I	SDF-1 通道 2 数据输入	GPIO18_X2 GPIO26	GPIO18_X2 GPIO26	GPIO18_X 2	GPIO18_X 2
SD1_D3	I	SDF-1 通道 3 数据输入	GPIO28 GPIO32 GPIO56	GPIO28 GPIO32	GPIO28 GPIO32	GPIO28 GPIO32
SD1_D4	I	SDF-1 通道 4 数据输入	GPIO22 GPIO30 GPIO54 GPIO58	GPIO22 GPIO30 GPIO54	GPIO22	GPIO22
SPIA_CLK	I/O	SPI-A 时钟	GPIO3 GPIO9 GPIO12 GPIO18_X2 GPIO56	GPIO3 GPIO9 GPIO12 GPIO18_X2	GPIO3 GPIO9 GPIO12 GPIO18_X2	GPIO3 GPIO9 GPIO12 GPIO18_X2
SPIA_SIMO	I/O	SPI-A 从机输入，主机输出	GPIO2 GPIO8 GPIO11 GPIO16 GPIO54	GPIO2 GPIO8 GPIO11 GPIO16 GPIO54	GPIO2 GPIO8 GPIO11 GPIO16	GPIO2 GPIO8 GPIO11 GPIO16
SPIA_SOMI	I/O	SPI-A 从机输出，主机输入	GPIO1 GPIO10 GPIO13 GPIO17	GPIO1 GPIO10 GPIO13 GPIO17	GPIO1 GPIO10 GPIO13 GPIO17	GPIO1 GPIO17 GPIO13
SPIA_STE	I/O	SPI-A 从机发送使能	GPIO0 GPIO5 GPIO11 GPIO57	GPIO0 GPIO5 GPIO11	GPIO0 GPIO5 GPIO11	GPIO0 GPIO5 GPIO11
SPIB_CLK	I/O	SPI-B 时钟	GPIO4 GPIO12 GPIO14 GPIO22 GPIO26 GPIO28 GPIO32 GPIO58	GPIO4 GPIO14 GPIO22 GPIO26 GPIO28 GPIO32	GPIO4 GPIO12 GPIO22 GPIO23 GPIO28 GPIO32	GPIO4 GPIO12 GPIO22 GPIO23 GPIO28 GPIO32
SPIB_SIMO	I/O	SPI-B 从机输入，主机输出	GPIO7	GPIO7	GPIO7	GPIO7

信号名称	引脚类型	说明	LQFP100/ E-LQFP100	LQFP80	LQFP64/ E-LQFP64	QFN56
			GPIO23 GPIO24 GPIO30 GPIO56	GPIO23 GPIO24 GPIO30 GPIO47	GPIO23 GPIO24	GPIO23 GPIO24
SPIB_SOMI	I/O	SPI-B 从机输出, 主机输入	GPIO6 GPIO16 GPIO25 GPIO31 GPIO57	GPIO6 GPIO16 GPIO25 GPIO31 GPIO41	GPIO6 GPIO16	GPIO6 GPIO16
SPIB_STE	I/O	SPI-B 从机发送使能	GPIO15 GPIO23 GPIO27 GPIO29 GPIO33 GPIO53 GPIO59	GPIO15 GPIO23 GPIO27 GPIO29 GPIO33 GPIO41 GPIO53	GPIO23 GPIO29 GPIO33	GPIO23 GPIO29 GPIO33
SYNCOU	O	外部 PWM 同步脉冲	GPIO6	GPIO6 GPIO49	GPIO6	GPIO6
TDI	I	JTAG 测试数据输入。默认情况下, 内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI, 则应启用内部上拉电阻或在电路板上添加外部上拉电阻, 以避免输入悬空	GPIO35/TDI	GPIO35/TDI	GPIO35/TDI	GPIO35/TDI
TDO	O	JTAG 测试数据输出。默认情况下, 内部上拉电阻处于禁用状态。当没有 JTAG 活动时, TDO 功能将处于三态条件, 使这个引脚悬空; 内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。	GPIO37/TDO	GPIO37/TDO	GPIO37/TDO	GPIO37/TDO
X1	I	晶振振荡器输入	X1	X1	X1	X1
X2	O	晶振振荡器输出	GPIO18_X2	GPIO18_X2	GPIO18_X2	GPIO18_X2
XCCLKOUT	O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	GPIO16 GPIO18_X2	GPIO16 GPIO18_X2	GPIO16 GPIO18_X2	GPIO16 GPIO18_X2

3.4.2. 可复用为数字量输入的模拟量输入口 (AIO)

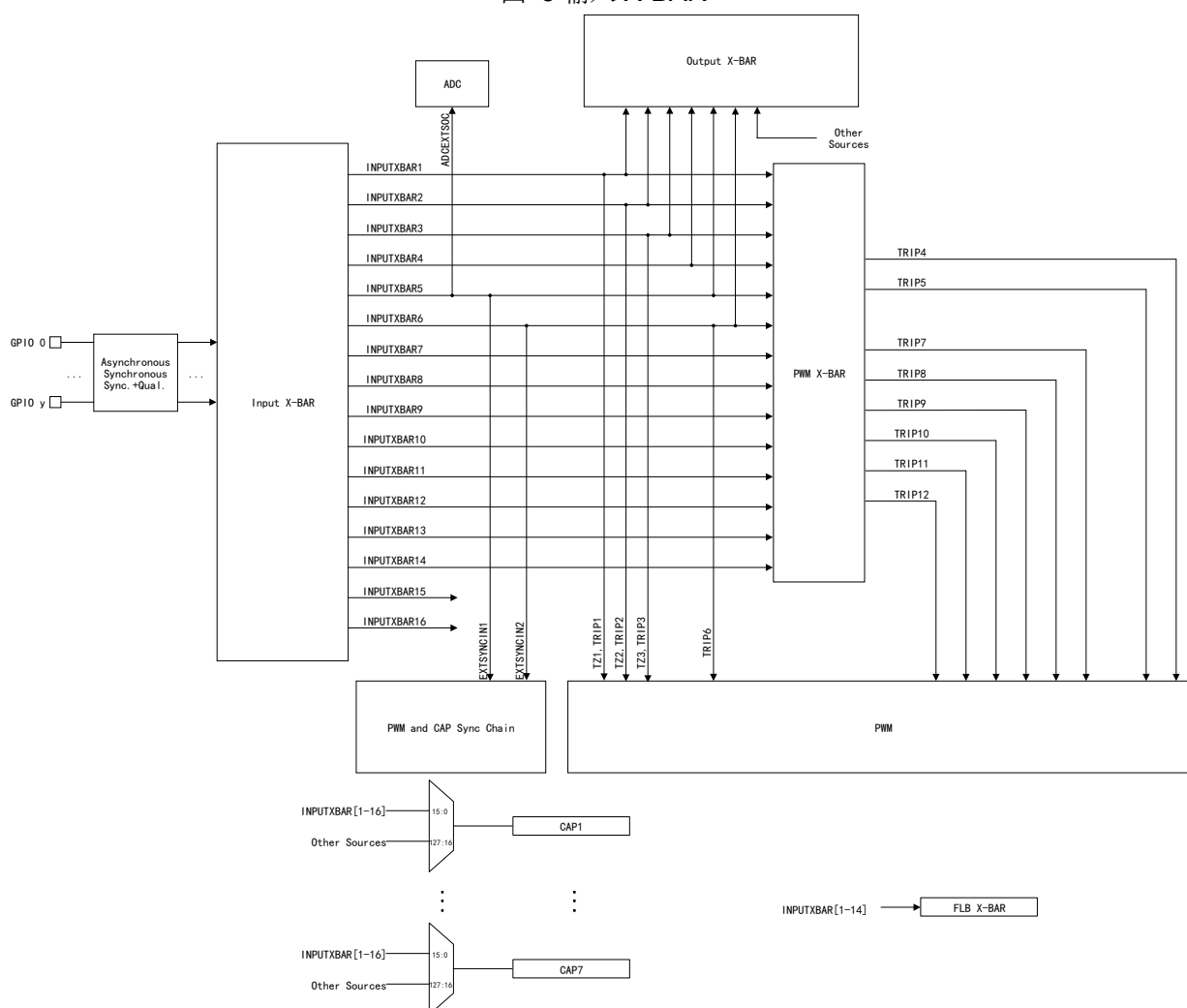
端口 H 上的 GPIO (GPIO224-GPIO254) 与模拟引脚复用。这也称为 AIO。这些引脚只能在输入模式下工作。默认情况下, 这些引脚将用作模拟引脚, 并且 GPIO 处于高阻抗状态。GPHAMSEL 寄存器用于配置这些引脚的数字或模拟操作。

注意: 如果将具有尖锐边缘 (高 dv/dt) 的数字信号连接到 AIO, 则相邻的模拟信号可能会发生串扰。因此, 如果相邻通道用于模拟功能, 用户应限制连接到 AIO 的信号的前沿速率。

3.4.3. GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块, 例如 ADC、CAP、PWM 和外部中断等。

图 5 输入 X-BAR



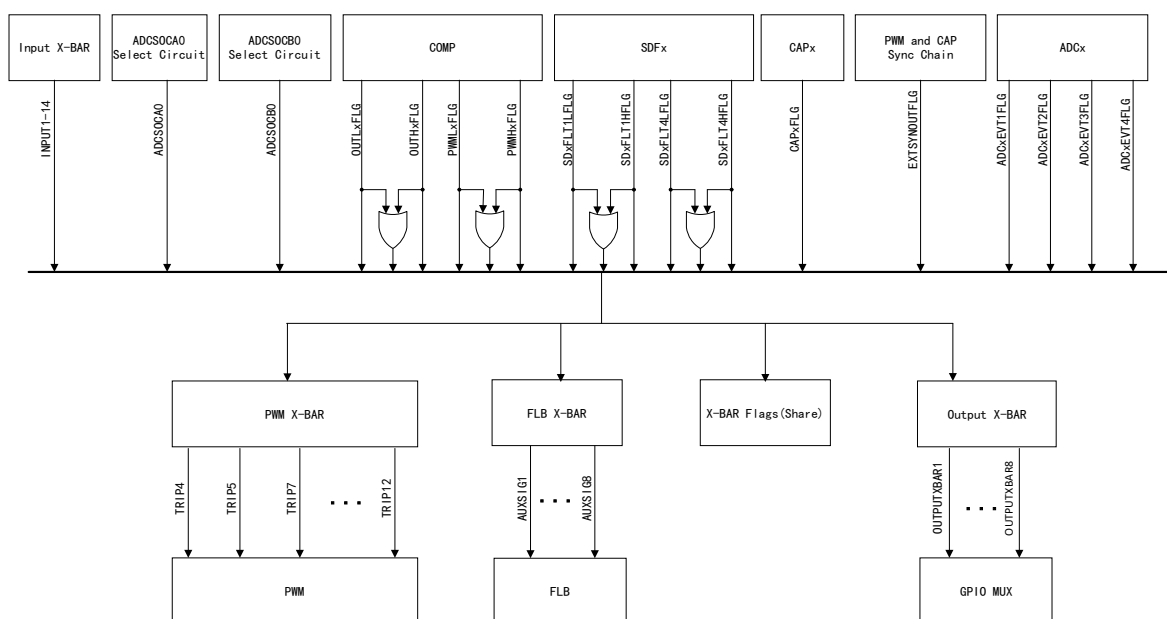
表格 10 输入 X-BAR 目标

输入	目标
输入 1	CAPx、PWM X-BAR、PWM[TZ1,TRIP1]、输出 X-BAR
输入 2	CAPx、PWM X-BAR、PWM[TZ2,TRIP2]、输出 X-BAR
输入 3	CAPx、PWM X-BAR、PWM[TZ3,TRIP3]、输出 X-BAR
输入 4	CAPx、PWM X-BAR、XINT1、输出 X-BAR
输入 5	CAPx、PWM X-BAR、XINT2、ADCEXTSOC、EXTSYNCIN1、输出 X-BAR
输入 6	CAPx、PWM X-BAR、XINT3、PWM[TRIP6]、EXTSYNCIN2、输出 X-BAR
输入 7	CAPx、PWM X-BAR
输入 8	CAPx、PWM X-BAR
输入 9	CAPx、PWM X-BAR
输入 10	CAPx、PWM X-BAR
输入 11	CAPx、PWM X-BAR
输入 12	CAPx、PWM X-BAR
输入 13	CAPx、PWM X-BAR、XINT4
输入 14	CAPx、PWM X-BAR、XINT5
输入 15	CAPx
输入 16	CAPx

3.4.4. 输出 X-BAR 和 PWM X-BAR

输出 X-BAR 具有八个输出，它们被路由到 GPIO 模块。PWM X-BAR 具有八个输出，这些输出被路由到每个 PWM 模块。

图 6 输出 X-BAR 和 PWM X-BAR 源



3.5. 带有内部上拉或下拉的引脚

器件上的某些引脚具有内部上拉或下拉。下表列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何悬空的未键合输入，Boot ROM 将在特定封装中对未键合的 GPIO 引脚启用内部上拉。下表中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表格 11 带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx (包括 AIO)	禁用上拉	禁用上拉 (1)	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
VREGENZ	下拉有效		
XRSn	上拉有效		
其他引脚	上拉或下拉未存在		

注意：给定封装中未绑定的引脚将具有由 Boot ROM 启用内部上拉。

3.6. 未使用引脚的连接

对于不需要使用器件所有功能的应用，下表列出了对任何未使用引脚的可接受条件。当列出了多个选项时，任何选项都可接受。

表格 12 未使用引脚的连接

信号名称	可接受的做法
模拟	
带有 DACx_OUT 的模拟输入引脚	无连接 通过 4.7kΩ 或更大的电阻连接到 VSSA
模拟输入引脚 (DACx_OUT 除外)	无连接 绑定到 VSSA 通过电阻连接到 VSSA
VREFHx	连接至 VDDA (仅在应用中未使用 ADC 或 DAC 时适用)
VREFLOx	绑定到 VSSA
数字	
GPIOx	无连接 (启用内部上拉的输入模式) 无连接 (禁用内部上拉的输出模式) 上拉或下拉电阻 (任意值电阻, 输入模式, 禁用内部上拉)
GPIO35/TDI	选择 TDI 多路复用器选项 (默认) 时, GPIO 处于输入模式。 启用内部上拉电阻 外部上拉电阻

信号名称	可接受的做法
GPIO37/TDO	当 TDO 复用选项被选中时（默认），GPIO 只在 JTAG 活动期间处于输出模式；否则，它处于三态条件。必须对该引脚进行偏置，以避免在输入缓冲器上产生额外电流。 启用内部上拉电阻 外部上拉电阻
TCK	无连接 上拉电阻
TMS	上拉电阻
VREGENZ	连接到 VSS
X1	连接到 VSS
GPIO18/X2	关闭 XTAL 并： 启用内部上拉的输入模式 外部上拉或者下拉电阻（输入模式） 禁用内部上拉的输出模式
电源和接地	
VDD	所有 VDD 引脚必须按照“引脚信号说明”章节所述进行连接。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	所有 VDDIO 引脚必须按照“引脚信号说明”章节所述进行连接。
VSS	所有 VSS 引脚必须连接到电路板接地。
VSSIO	始终连接到 VSS。
VSSA	如果未使用模拟接地，则连接到 VSS。

4. 模块描述

4.1. 简介

G32R501x 是极海面向实时控制应用研发的高性能微控制器，内置基于 Arm v8.1-M 架构的 Cortex-M52 微处理器，最多支持 2 个内核，内核可以并行工作，高效协同，适用于运动控制、光伏逆变，数字电源和车载充电机（OBC）等应用场景。在多核处理器中，不同的处理器核之间可以通过数据共享、消息传递、中断控制等方式进行 IPC 核间通讯。IPC 只能通过 Arm 提供的协处理器接口（协处理器编号 1）访问。

G32R501 微控制器最高运行频率可达 250MHz，实现了 Arm Rv8-M 的自定义数据路径扩展（CDE），搭载基于矢量扩充方案（MVE）的 Helium™ 技术，其通过创新的紫电数学指令拓展单元，使得处理性能得到进一步提升。Zidian 可以快速执行包含变换和扭矩环路计算中常见三角运算的算法，以及可以降低编码应用中常见复杂数学运算的延迟。

G32R501 内部支持最高 640KB 的 Flash，这些 Flash 分为 512KB 和 128KB 两个独立存储体，支持并行编程和执行。此外，通过内置 CFGSMS，可对片上 128KB 的 SRAM 存储进行高效的系统分区，每个逻辑块的大小为 8KB，可配置做不同类型的用法，如 ITCM、DTCM 和 SRAM。此外，G32R501 还支持 Flash ECC、RAM 奇偶校验和安全属性配置。

G32R501 片内集成了高性能模拟单元，可以进一步提升系统控制性能。三个独立的 12 位 ADC 可准确、高效地采集&处理多个模拟信号，从而提高系统吞吐量。7 个比较器子系统可以通过跳闸功能对输入电压电平进行持续监控。

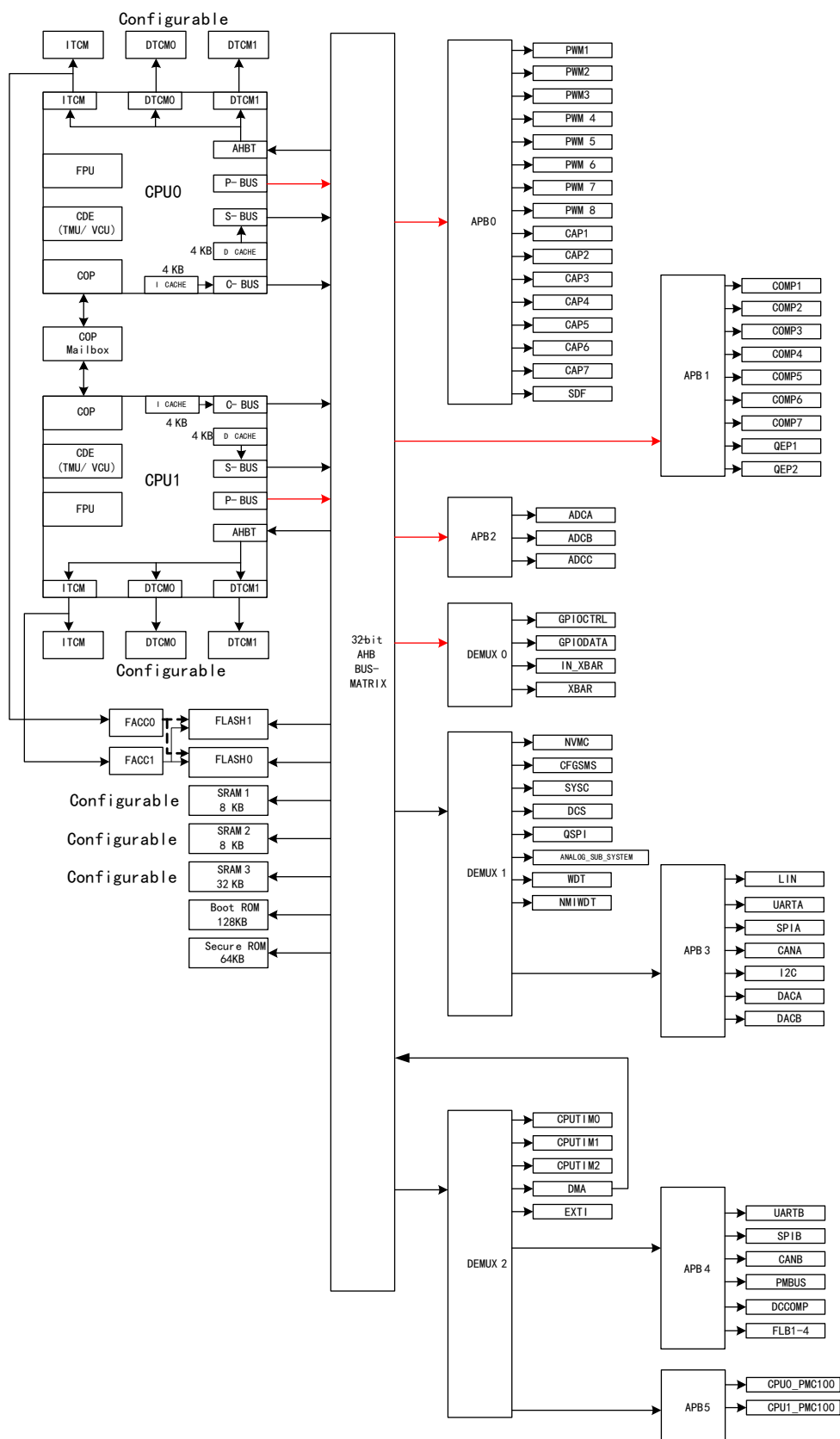
G32R501 包含性能领先的控制外设（具有独立于频率的 PWM 和 CAP/HRCAP），可对系统进行出色的控制。内置的 4 通道 SDF 适配外部隔离 Σ - Δ 调制器。

G32R501 内置通用通信端口（如 SPI、UART、I2C、LIN 和 CAN），并且提供了多个多路复用选项，可满足各种应用的通信需求。G32R501 器件还内置完全符合标准的 PMBus 接口以及高速 QSPI 接口。此外，G32R501 还支持 JTAG、cJTAG 以及 SWD 调试接口，多种调试模式可适用不同系统环境及性能要求。

G32R501 支持 -40℃~105℃/125℃ 的环境工作温度，提供 QFN56、LQFP64、E-LQFP64、LQFP80、LQFP100、E-LQFP100 等多种封装供用选择。

4.2. 功能框图

图 7 功能框图



注意:

- (1) 图上红色线为总线桥。
- (2) ITCM/DTCM/SRAM 大小通过 CFGSMS 进行配置。

4.3. 存储器

4.3.1. 存储器映射

存储器映射如下表所示。

表格 13 存储器映射

地址范围 (Hex)	大小 (Max)	描述
0x0000_0000 – 0x0001_FFFF	128KB	CPU0 ITCM (单核版本默认为 64KB, 双核版本默认为 48KB)
0xA000_0000 – 0xA001_FFFF	128KB	CPU0 ITCM (CPU0-AHBT) (单核版本默认为 64KB, 双核版本默认为 48KB)
0x0000_0000 – 0x0001_FFFF	128KB	CPU1 ITCM (单核版本默认为 0KB, 双核版本默认为 8KB)
0xA100_0000 – 0xA101_FFFF	128KB	CPU1 ITCM (CPU1-AHBT) (单核版本默认为 0KB, 双核版本默认为 8KB)
0x0008_0000 – 0x0008_BFFF	48KB	FLASH INFO on ITCM
0x0009_0000 – 0x0009_3FFF	16KB	FLASH INFO1 on ITCM
0x0010_0000 - 0x0019_FFFF	640KB	FLASH memory on ITCM
0x0800_0000 - 0x0809_FFFF	640KB	FLASH memory on BUSMATRIX
0x0810_0000 - 0x0810_BFFF	48KB	FLASH INFO on BUSMATRIX
0x0818_0000 - 0x0818_3FFF	16KB	FLASH INFO1 on BUSMATRIX
0x0900_0000 - 0x0901_FFFF	128KB	FLASH ECC
0x1000_0000 – 0x1001_FFFF	128KB	Boot ROM
0x1002_0000 – 0x1002_FFFF	64KB	Secure ROM
0x2000_0000 - 0x2001_FFFF	128KB	CPU0 DTCM (单核版本默认为 16KB, 双核版本默认为 16KB)
0xA010_0000 - 0xA011_FFFF	128KB	CPU0 DTCM (CPU0-AHBT) (单核版本默认为 16KB, 双核版本默认为 16KB)
0x2000_0000 – 0x2001_FFFF	128KB	CPU1 DTCM (单核版本默认为 0KB, 双核版本默认为 8KB)
0xA110_0000 - 0xA111_FFFF	128KB	CPU1 DTCM (CPU1-AHBT) (单核版本默认为 0KB, 双核版本默认为 8KB)
0x2010_0000 - 0x2011_FFFF	128KB	SRAM1 (Default 8KB)
0x2020_0000 - 0x2021_FFFF	128KB	SRAM2 (Default 8KB)
0x2030_0000 - 0x2031_FFFF	128KB	SRAM3 (Default 32KB)
地址范围 (Hex)	总线	功能
0x4000_0000 – 0x4000_FFFF	APB0	APB peripherals

地址范围 (Hex)	大小 (Max)	描述
0x4001_0000 – 0x4001_FFFF	APB1	APB peripherals
0x4002_0000 – 0x4002_FFFF	APB2	APB peripherals
0x4003_0000 – 0x4003_FFFF	DEMUX0	AHB peripherals
0x5000_0000 – 0x5000_FFFF	APB3	APB peripherals
0x5000_0000 – 0x5002_FFFF	DEMUX1	AHB peripherals
0x6000_0000 – 0x6FFF_FFFF		
0x5010_0000 – 0x5010_3FFF	APB4	APB peripherals
0x5010_4000 – 0x5010_FFFF	APB5	APB peripherals
0x5010_0000 – 0x5011_FFFF	DEMUX2	AHB peripherals

4.3.2. Flash 映射

在 G32R501 器件上最多可以使用两个 Flash 存储体 (Bank0 为 128KB, Bank1 为 512KB)。Flash 存储体由两个 NVMC (非易失性存储器控制器) 进行控制。CPU0 和 CPU1 都可以通过 ITCM/C-BUS 两种方式访问 FLASH MEM, 两条路径访问的物理存储空间相同, 但使用的地址不相同。所有 FLASH 的擦/写操作通过操作 NVMC 寄存器进行, FLASH MEM 区地址对于 CPU0/1、DMA 只可读, 所有写操作将被忽视。不对正在进行的擦除/编程操作的 Flash 存储体进行任何类型的访问。

表格 14Flash 扇区地址 (按存储器 single bank 配置 (256 bits 读取宽度))

IP	Name	Sector base on C-BUS interface	Sector base on ITCM interface	Sector size	Bank number
Main memory	Sector0	0x0800_0000~0x0800_3FFF	0x0010_0000~0x0010_3FFF	16KByte	Bank0 & Bank1 mix
	Sector1	0x0800_4000~0x0800_7FFF	0x0010_4000~0x0010_7FFF	16KByte	Bank0 & Bank1 mix
	Sector2	0x0800_8000~0x0800_BFFF	0x0010_8000~0x0010_BFFF	16KByte	Bank0 & Bank1 mix
					Bank0 & Bank1 mix
	Sector14	0x0803_8000~0x0803_BFFF	0x0013_8000~0x0013_BFFF	16KByte	Bank0 & Bank1 mix
	Sector15	0x0803_C000~0x0803_FFFF	0x0013_C000~0x0013_FFFF	16KByte	Bank0 & Bank1 mix
	Sector16	0x0804_0000~0x0804_1FFF	0x0014_0000~0x0014_1FFF	8KByte	Bank1
					Bank1
	Sector63	0x0809_E000~0x0809_FFFF	0x0019_E000~0x0019_FFFF	8KByte	Bank1
IFREN	Bank0 back-up sector0	0x0810_0000~0x0810_1FFF	0x0008_0000~0x0008_1FFF	8Kbyte	Bank0
	Bank0 back-up sector1	0x0810_2000~0x0810_3FFF	0x0008_2000~0x0008_3FFF	8Kbyte	Bank0

IP	Name	Sector base on C-BUS interface	Sector base on ITCM interface	Sector size	Bank number
	Bank0 back-up sector2	0x0810_4000~0x0810_5FFF	0x0008_4000~0x0008_5FFF	8KByte	Bank0
	Bank0 back-up sector3	0x0810_6000~0x0810_7FFF	0x0008_6000~0x0008_7FFF	8KByte	Bank0
	Bank1 User Option byte	0x0810_8000~0x0810_9FFF	0x0008_8000~0x0008_9FFF	8Kbyte	Bank1
	Bank1 OTP	0x0810_A000~0x0810_BFFF	0x0008_A000~0x0008_BFFF	8Kbyte	Bank1
IFREN1	FLASH trimming	0x0818_0000~0x0818_3FFF	0x0009_0000~0x0009_3FFF	16KByte	Bank0 & Bank1 mix
	ECC	0x0900_0000~0x0902_17FF	NA	128Kbyte (half-word access only)	Bank0 & Bank1 mix

表格 15Flash 扇区地址（按存储器 dual bank 配置（128 bits 读取宽度））

IP	Name	Sector base on C-BUS interface	Sector base on ITCM interface	Sector size	Bank number
Main memory bank0	Sector0	0x0800_0000~0x0800_1FFF	0x0010_0000~0x0010_1FFF	8KByte	Bank0
	Sector1	0x0800_2000~0x0800_3FFF	0x0010_2000~0x0010_3FFF	8KByte	Bank0
	Sector2	0x0800_4000~0x0800_5FFF	0x0010_4000~0x0010_5FFF	8KByte	Bank0
					Bank0
	Sector14	0x0801_C000~0x0801_DFFF	0x0011_C000~0x0011_DFFF	8KByte	Bank0
	Sector15	0x0801_E000~0x0801_FFFF	0x0011_E000~0x0011_FFFF	8KByte	Bank0
Main memory bank1	Sector16	0x0802_0000~0x0802_1FFF	0x0012_0000~0x0012_1FFF	8KByte	Bank1
	Sector17	0x0802_2000~0x0802_3FFF	0x0012_2000~0x0012_3FFF	8KByte	Bank1
	Sector18	0x0802_4000~0x0802_5FFF	0x0012_4000~0x0012_5FFF	8Kbyte1	Bank1
					Bank1
	Sector30	0x0803_C000~0x0803_DFFF	0x0013_C000~0x0013_DFFF	8KByte	Bank1
	Sector31	0x0803_E000~0x0803_FFFF	0x0013_E000~0x0013_FFFF	8KByte	Bank1
	Sector32	0x0804_0000~0x0804_1FFF	0x0014_0000~0x0014_1FFF	8KByte	Bank1
					Bank1
	Sector79	0x0809_E000~0x0809_FFFF	0x0019_E000~0x0019_FFFF	8KByte	Bank1
IFREN	Bank0 back-up sector0	0x0810_0000~0x0810_1FFF	0x0008_0000~0x0008_1FFF	8Kbyte	Bank0

IP	Name	Sector base on C-BUS interface	Sector base on ITCM interface	Sector size	Bank number
	Bank0 back-up sector1	0x0810_2000~0x0810_3FFF	0x0008_2000~0x0008_3FFF	8Kbyte	Bank0
	Bank0 back-up sector2	0x0810_4000~0x0810_5FFF	0x0008_4000~0x0008_5FFF	8KByte	Bank0
	Bank0 back-up sector3	0x0810_6000~0x0810_7FFF	0x0008_6000~0x0008_7FFF	8KByte	Bank0
	Bank1 User Option byte	0x0810_8000~0x0810_9FFF	0x0008_8000~0x0008_9FFF	8Kbyte	Bank1
	Bank1 OTP	0x0810_A000~0x0810_BFFF	0x0008_A000~0x0008_BFFF	8Kbyte	Bank1
IFREN1	FLASH trimming	0x0818_0000~0x0818_3FFF	0x0009_0000~0x0009_3FFF	16KByte	Bank0 & Bank1 mix
	ECC	0x0900_0000~0x0902_17FF	NA	128Kbyte (half-word access only)	Bank0 & Bank1 mix

4.3.3. 外设寄存器内存映射

表格 16 外设寄存器内存映射

Address	Bus	IP
0x4000_0000-0x4000_03FF	APB0	PWM1
0x4000_0400-0x4000_07FF		PWM2
0x4000_0800-0x4000_0BFF		PWM3
0x4000_0C00-0x4000_0FFF		PWM4
0x4000_1000-0x4000_13FF		PWM5
0x4000_1400-0x4000_17FF		PWM6
0x4000_1800-0x4000_1BFF		PWM7
0x4000_1C00-0x4000_1FFF		PWM8
0x4000_2000-0x4000_23FF		CAP1
0x4000_2400-0x4000_27FF		CAP2
0x4000_2800-0x4000_2BFF		CAP3
0x4000_2C00-0x4000_2FFF		CAP4
0x4000_3000-0x4000_33FF		CAP5
0x4000_3400-0x4000_37FF		CAP6
0x4000_3800-0x4000_3BFF		CAP7

Address	Bus	IP
0x4000_3C00-0x4000_3FFF		SDF
0x4000_4000-0x4000_FFFF		Reserved
0x4001_1C00-0x4001_1FFF	APB1	COMP1
0x4001_2000-0x4001_23FF		COMP2
0x4001_2400-0x4001_27FF		COMP3
0x4001_2800-0x4001_2BFF		COMP4
0x4001_2C00-0x4001_2FFF		COMP5
0x4001_3000-0x4001_33FF		COMP6
0x4001_3400-0x4001_37FF		COMP7
0x4001_3800-0x4001_3BFF		QEP1
0x4001_3C00-0x4001_3FFF		QEP2
0x4001_4000-0x4001_FFFF		Reserved
0x4002_0000-0x4002_03FF	APB2	ADCA
0x4002_0400-0x4002_07FF		ADCB
0x4002_0800-0x4002_0BFF		ADCC
0x4002_0C00-0x4002_FFFF		Reserved
0x4003_0000-0x4003_07FF	DEMUX0	GPIOCTRL
0x4003_0800-0x4003_0BFF		GPIODATA
0x4003_0C00-0x4003_0C7F		INPUTXBAR
0x4003_0C80-0x4003_0FFF		SyncSocREG
0x4003_1000-0x4003_103F		XBAR_REG
0x4003_11C0-0x4003_123F		PWM_XBAR_REG
0x4003_1240-0x4003_12BF		FLB_XBAR_REG
0x4003_12C0-0x4003_133F		OUTPUT_XBAR_REG
0x4003_1400-0x4003_FFFF		Reserved
0x5000_0000-0x5000_03FF	APB3	LIN
0x5000_0400-0x5000_0BFF		Reserved
0x5000_0C00-0x5000_0FFF		UARTA
0x5000_1000-0x5000_13FF		SPIA
0x5000_1400-0x5000_17FF		I2C
0x5000_1800-0x5000_1BFF		DACA
0x5000_1C00-0x5000_1FFF		DACB
0x5000_2000-0x5000_27FF		CANA

Address	Bus	IP
0x5000_2800-0x5000_FFFF		Reserved
0x5000_0000-0x5000_FFFF	DEMUX1	APB3
0x5001_0000-0x5001_07FF		NVMC
0x5001_0800-0x5001_0BFF		CFGSMS
0x5001_0C00-0x5001_FFFF		Reserved
0x5002_0000-0x5002_3FFF		SYSC
0x5002_4000-0x5002_5FFF		DCS
0x5002_6000-0x5002_63FF		QSPI
0x5002_6400-0x5002_64BF		WWDT
0x5002_64C0-0x5002_67FF		NMIWDT
0x5002_6800-0x5002_7FFF		Reserved
0x5002_8000-0x5002_83FF		ANALOG_SUB_SYSTEM
0x5002_8400-0x5002_FFFF		Reserved
0x6000_0000-0x6FFF_FFFF		QSPI_MEMORY
0x5010_0000-0x5010_03FF	APB4	UARTB
0x5010_0400-0x5010_07FF		SPIB
0x5010_0800-0x5010_0BFF		PMBUS
0x5010_0C00-0x5010_0FFF		Reserved
0x5010_1000-0x5010_13FF		Reserved
0x5010_1400-0x5010_17FF		DCCOMP
0x5010_1800-0x5010_1FFF		CANB
0x5010_2000-0x5010_27FF		FLB1
0x5010_2800-0x5010_2FFF		FLB2
0x5010_3000-0x5010_37FF		FLB3
0x5010_3800-0x5010_3FFF		FLB4
0x5010_0000-0x5010_3FFF	DEMUX2	APB4
0x5010_4000-0x5010_FFFF		APB5
0x5011_0000-0x5011_03FF		TMR0
0x5011_0400-0x5011_07FF		TMR1
0x5011_0800-0x5011_0BFF		TMR2
0x5011_0C00-0x5011_0FFF		DMA
0x5011_1000-0x5011_13FF		EXTI
0x5011_1400-0x5011_FFFF		Reserved

4.3.4. 存储器类型

4.3.4.1. RAM (ITCM、DTCM、SRAM)

G32R501 器件通过内置 CFGSMS，可对片上 128KB 的 RAM 存储进行高效的系统分区，每个逻辑块的大小为 8KB，配置为不同类型的用法，例如 ITCM、DTCM 和 SRAM。

CPU 子系统有两个与 CPU 紧密耦合的小型非安全块 ITCM、DTCM（即只有 CPU 可以访问这些存储器）。此外，G32R501 还支持 RAM 奇偶校验功能。

4.4. 标识

下表列出了器件标识寄存器。请参阅 PARTIDH 和 PARTIDL 的寄存器说明，了解量产状态的标识的可用性以及其他器件信息。

表格 17 器件标识寄存器

名称	地址	大小 (x8)	说明	
PARTIDH	0x5002 0514	4	器件型号标识号 G32R501	0x01FF 0500
REVID	0x5002 0518	4	器件修订版本号 修订版 0	0x0000 0000
UID_UNIQUE	0x0810 AF88	4	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。	

4.5. 总线架构—外设连接

表格 18 总线主器件对外设的访问

外设	DMA	CPU0	CPU1
系统外设			
CPU 计时器		支持	支持
系统配置 (WDT、NMIWDT、LPM、外设时钟门控)		支持	支持
器件功能、外设复位		支持	支持
时钟和 PLL 配置		支持	支持
Flash 配置		支持	支持
复位配置		支持	支持
GPIO 引脚映射和配置		支持	支持
GPIO 数据 ⁽¹⁾		支持	支持
DMA 触发源选择		支持	支持
控制外设			
PWM/HRPWM	支持	支持	支持
CAP/HRCAP	支持	支持	支持

外设	DMA	CPU0	CPU1
QEP ⁽²⁾	支持	支持	支持
SDF	支持	支持	支持
模拟外设			
模拟系统控制		支持	支持
ADC 配置	支持	支持	支持
ADC 结果 ⁽³⁾	支持	支持	支持
COMP ⁽²⁾	支持	支持	支持
DAC ⁽²⁾	支持	支持	支持
通信外设			
CAN	支持	支持	支持
SPI	支持	支持	支持
QSPI	支持	支持	支持
I2C		支持	支持
PMBus	支持	支持	支持
UART		支持	支持
LIN	支持	支持	支持

注意:

- (1) GPIO 数据寄存器对于 CPU 是唯一的。当 GPIO 引脚映射寄存器配置为将 GPIO 分配给特定主器件时，相应的 GPIO 数据寄存器将控制该 GPIO。
- (2) 这些模块可从 DMA 访问，但不能触发 DMA 传输。
- (3) 每个主器件的 ADC 结果寄存器都是重复的。这使得它们能够在 0 等待状态下被读取，而无需任何或者所有主器件的仲裁。

4.6. 处理器

G32R501 集成 Arm® Cortex-M52 内核。两颗内核可以并行工作，在执行高性能计算任务的同时，兼顾实时控制任务。Cortex-M52 是安谋科技推出的第二代“星辰”系列嵌入式处理器，基于最新的 Arm® v8.1-M 架构设计，是首个本土研发、支持功能安全设计的车规级嵌入式处理器，不仅拥有更强的 AI 和 DSP 处理能力、更高的计算密度和能效比，且重点优化了物联网及车载设备所需的功能安全和信息安全。

4.6.1. 浮点单元 (FPU)

Cortex-M52 处理器 FPU 提供标量半精度、单精度和双精度浮点操作。FPU 支持加、减、乘、除、乘积和平方根操作，还可以提供定点和浮点数据格式之间的转换，以及浮点常数指令。

Cortex-M52 处理器提供浮点计算功能，包括浮点扩展，符合 ANSI/IEEE Std 754-2008, IEEE 二进制浮点算术标准。

4.6.2. 紫电数学指令扩展单元——三角函数数学单元 (TMU)

TMU 通过增加指令和利用可加速执行常见三角函数和下表中所列算术运算的现有 FPU 指令来扩展 Cortex-M52 + FPU 的功能。

表格 19 FCAU 汇编指令的名称映射

Arm®汇编指令	“Zidian_cde.h”中重命名的汇编指令	性能: 执行周期
VCX2 0, Sd, Sm, #0x0	SINPUF32 Sd, Sm.	2
VCX2 0, Sd, Sm, #0x1	COSPUF32 Sd, Sm.	2
VCX2 0, Sd, Sm, #0x2	ATANPUF32 Sd, Sm.	2
VCX2 0, Sd, Sm, #0x3	MPY2PIF32 Sd, Sm.	1
VCX2 0, Sd, Sm, #0x4	DIV2PIF32 Sd, Sm.	1
VCX2 0, Sd, Sm, #0x5	SQRTF32 Sd, Sm.	2
VCX2 0, Sd, Sm, #0x6	RD_SCR Sd, Sm.	1
VCX2 0, Sd, Sm, #0x7	WR_SCR Sd, Sm.	1
VCX3 0, Sd, Sn, Sm, #0x0	DIVF32 Sd, Sn, Sm.	2
VCX3 0, Sd, Sn, Sm, #0x1	QUADF32 Sd, Sn, Sm.	1
VCX3 0, Sd, Sn, Sm, #0x2	DIVF32_ATAN2 Sd, Sn, Sm.	2

Cortex-M52 FPU 汇编指令难以被用户理解，因为它们不包含任何关于指令行为的信息。因此 G32R501 原始的 FPU 汇编指令被重命名，所有重命名的汇编指令都包含在 “zidian_cde.h” 中。

4.6.3. 紫电数学指令扩展单元——Viterbi、复杂数学和 CRC 单元（VCU）

带VCU的Cortex-M52处理器可通过增加支持以下算法类型的寄存器和指令来扩展 定点或浮点 CPU 的功能。

4.6.3.1. Viterbi 解码

Viterbi 解码通常用于基带通信应用中。Viterbi 解码算法包含三个主要部分：分支度量计算、比较-选择（Viterbi 蝶形）和回溯运算。下表汇总了每个运算的VCU 性能。

表格 20 Viterbi 解码性能

VITERBI 运算	VCU 周期
分支度量计算（码速率 = 1/2）	1
分支度量计算（码速率 = 1/3）	2p
Viterbi 蝶形（相加- 比较-选择）	2 ⁽¹⁾
每阶段回溯	3 ⁽²⁾

注意：

（1） CPU 完成每个蝶形需要 15 个周期。

（2） CPU 完成每个阶段需要 22 个周期。

4.6.3.2. 循环冗余校验（CRC）

CRC 算法提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。Cortex-M52+VCU 可执行 8 位、16 位和 32 位 CRC。例如，VCU 可以在 10 个周期内计算出块长度为 10 字节的 CRC。CRC 结果寄存器包含当前 CRC，每次执行 CRC 指令时，该 CRC 都会更新。

4.6.3.3. 复杂数学

复杂数学用于许多应用中，例如：

- 快速傅里叶变换（FFT）：用于扩频通信以及许多信号处理算法中。
- 复数滤波器：可增加数据可靠性、延长传输距离和提高功效。Cortex-M52+VCU 可在单个周期内将复数 I 和 Q 乘以系数（四倍）。此外，Cortex-M52+VCU 可在单个周期内将 16 位复数数据的实部和虚部读/写入内存中。

表格 21 复杂数学性能

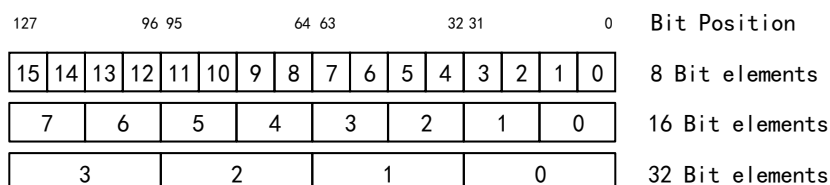
复杂数学运算	VCU 周期	注意事项
加法或减法	1	$32 \pm 32 = 32$ 位（适用于滤波器）
加法或减法	1	$16 \pm 32 = 15$ 位（适用于 FFT）
乘法	2p	$16 \times 16 = 32$ 位
乘法和累加（MAC）	2p	$32 + 32 = 32$ 位， $16 \times 16 = 32$ 位
RPT MAC	2p+N	重复 MAC。第一次运算后的单个周期。

4.6.4. Helium

Helium™技术是针对 ARM Cortex-M 处理器系列的矢量扩充方案（MVE）。它是 ARM v8.1-M 架构的一部分，使开发人员能够实现 DSP 和机器学习应用程序的性能提升。Helium™技术使用单指令多数据（SIMD）在多个数据上同时执行相同的操作，从而提供优化的性能。MVE 有两个变体，整数和浮点变体：

- MVE-I 操作 32 位、16 位和 8 位数据类型，包括 Q7、Q15 和 Q31。
- MVE-F 操作半精度和单精度浮点值：MVE 操作被正交地分为两种方式，通道和节拍。
- 通道是向量寄存器或操作的一部分。放入通道中的数据被称为元素。每拍可以执行多个通道。每个向量指令有四个拍。允许的通道宽度和每拍的通道操作是：
 - 对于 64 位通道大小，一个拍执行一半的通道操作。
 - 对于 32 位通道大小，一个拍执行一个通道操作。
 - 对于 16 位通道大小，一个拍执行一个双通道操作。
 - 对于 8 位的通道大小，一个拍执行四个通道操作。

图 8 Helium 向量元素图



- 节拍是 MVE 向量操作的四分之一。由于向量长度为 128 位，向量加法指令的一个拍子相当于计算 32 位的结果数据。这与通道宽度无关。例如，如果通道宽度为 8 位，则向量加法指令的一个拍子将执行 4 个 8 位的加法。每个时钟的拍子数描述了在通常情况下每个架构时钟更新多少架构状态。系统按以下方式分类：
 - 在单拍系统中，每个时钟可能发生一个拍子。
 - 在双拍系统中，每个时钟可能发生两个拍子。
 - 在四拍系统中，每个时钟可能发生四个拍子。

Cortex-M52 实现了单拍系统，有关更多信息，请参阅 Cortex-M52 处理器设备。

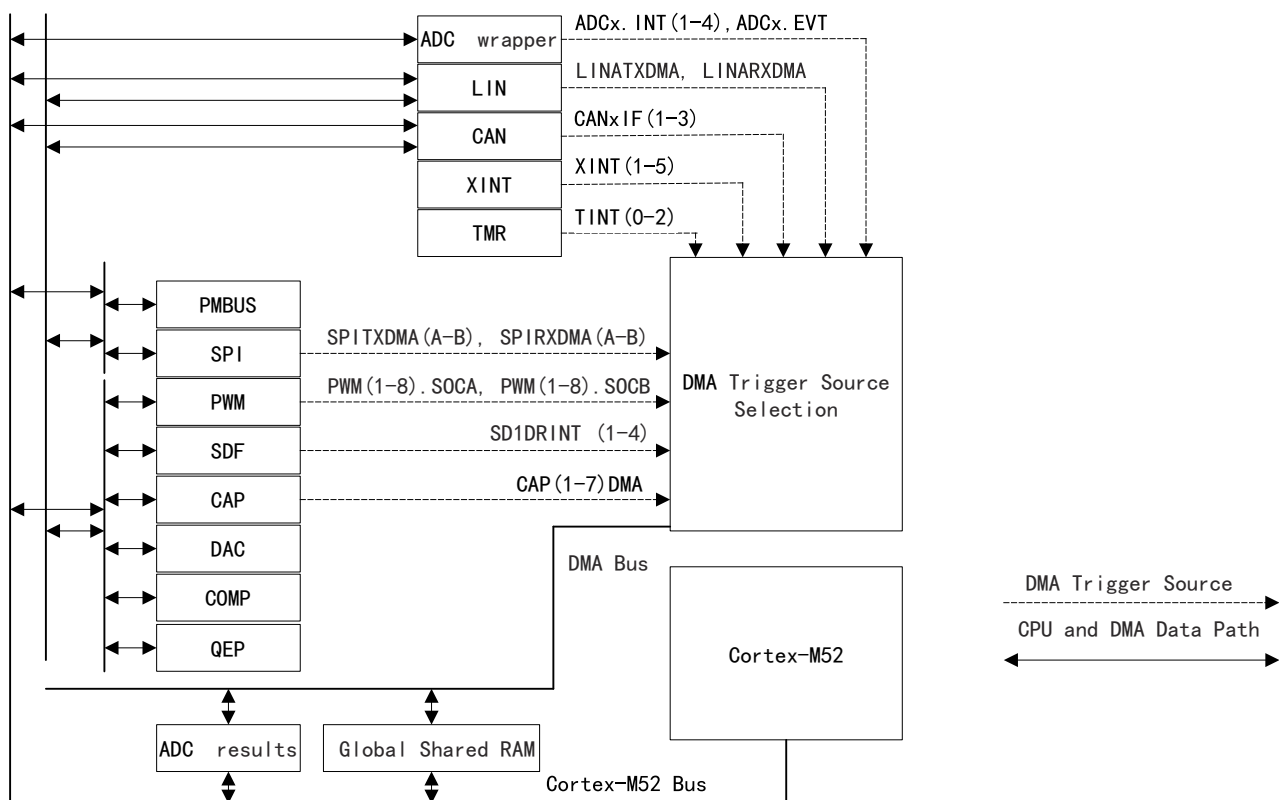
4.7. 直接存储器访问（DMA）

DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化模块以实现最优 CPU 处理非常有用。

DMA 特性包括：

- 六个具有独立中断的通道
- 外设中断触发源
 - ADC 中断和 EVT 信号
 - 外部中断
 - PWM SOC 信号
 - CPU 计时器
 - CAP
 - Σ - Δ 滤波器模块
 - SPI 发送和接收
 - CAN 发送和接收
 - LIN 发送和接收
 - QSPI 发送和接收
- 数据源和目标：
 - SRAM
 - FLASH
 - ADC 结果寄存器
 - 控制外设寄存器（PWM、QEP、CAP、SDF）
 - DAC
 - SPI、LIN、CAN、UART、I2C 和 PMBus 寄存器
- 字大小：16 位或 32 位（SPI 限制到 16 位）
- 数据率：每个字四个周期，无需仲裁

图 9 DMA 结构框图



DMA 仲裁逻辑说明

DMA 搬运数据是独立于 CPU0、CPU1 运行的。当 DMA 和 CPU0、CPU1 同时访问一个地址时，仲裁逻辑将会解决这种冲突。DMA 和 CPU0、CPU1 访问任意一个从机的优先级顺序为 DMA > CPU0 > CPU1。

如果 CPU0 进行读写读的操作的同时 DMA 执行一个写的操作，DMA 写的的数据将会被丢失，因此需要避免 CPU 写操作和 DMA 写操作在同一拍执行。不适用 DMA、CPU0、CPU1 零等待访问 ADC 结果寄存器。

4.8. 引导 ROM 和外设引导

G32R501 Boot ROM 包含 Bootloader 程序，每次设备上电或复位时都会执行该程序。GPIO24（Boot 模式引脚 1）和 GPIO32（Boot 模式引脚 0）为 Boot 模式选择引脚。用户可以通过改变这些引脚的状态选择 Boot 模式。下表列出了 Boot 模式。

表格 22 器件默认引导模式

Boot 模式	GPIO24 (默认引导模式选择引脚 1)	GPIO32 (默认引导模式选择引脚 0)
UART/Wait Boot	0	1
CAN	1	0
Flash	1	1

下表列出了器件上可能支持的引导模式。默认引导模式引脚为 GPIO24（引导模式引脚 1）和 GPIO32（引导模式引脚 0）。如果用户在这些引脚上也使用外设，则可选择为引导模式引脚设置弱上拉，因此上拉可能会过

驱动。在此器件上，客户可以通过对用户可配置的双代码安全模块（DCS）OTP 位置进行编程来更改出厂默认的引导模式引脚。

表格 23 所有可用的引导模式

Boot 模式编号	Boot 模式
1	UART/Wait Boot
2	CAN
3	Flash
4	Wait
5	RAM
6	SPI 主设备
7	I2C 主设备
10	Secure Flash

注意：所有支持的外设引导模式都使用外设模块（UARTA、SPIA、I2CA、CANA 等）的第一个实例。凡是本节提到的这些引导模式（例如 UART 引导）时，实际均指第一个模块实例，如 UARTA 端口上的 UART 引导。这同样适用于其他外设引导。

4.8.1. 配置交替引导模式选择引脚

本节介绍了用户如何通过用户在用户可配置 DCS OTP 中对 BOOTPIN_CONFIG 位置进行编程来定制引导模式选择引脚。用户 DCS OTP 中的位置是 Z1_OTP_BOOTPIN_CONFIG。调试时，EMU-BOOTPIN_CONFIG 是 Z1_OTP_BOOTPIN_CONFIG 的仿真等效，可对其进行编程，以在不写入 OTP 的情况下使用不同的引导模式进行实验。可根据需要对器件进行编程，以使用 0、1、2 或 3 个引导模式选择引脚。

表格 24 BOOTPIN_CONFIG 位字段

位	名称	说明
7:0	引导模式选择引脚 0 (BMSP0)	设置为在引导期间使用的 GPIO 引脚（最多 255）。 0x0 = GPIO0; 0x01 = GPIO1 等等 如果所有其他 BMSP 也设置为 0xFF，则 0xFF 无效，并选择出厂默认值 BMSP0。 如果任何其他 BMSP 未设置为 0xFF，则将 BMSP 设置为 0xFF 将禁用 该特定的 BMSP。
15:8	引导模式选择引脚 1 (BMSP1)	请参阅 BMSP0 说明
23:16	引导模式选择引脚 2 (BMSP2)	请参阅 BMPS0 说明
31:24	密钥	将 0x5A 写入这 8 位，告诉引导 ROM 代码此寄存器中的位有效

注意：以下 GPIO 不能用作 BMSP。如果为特定的 BMSP 选择，引导 ROM 会自动选择出厂默认 GPIO（BMSP2 的出厂默认值为 0xFF，这会禁用 BMSP）。

- GPIO 20 至 23
- GPIO 36
- GPIO 38
- GPIO 60 至 223

表格 25 独立引导模式选择引脚解码

BOOTPIN_CONF IG 键	BMSP0	BMSP1	BMSP2	实现的引导模式
!= 0x5A	不用考虑	不用考虑	不用考虑	由出厂默认 BMSP (GPIO24、GPIO32) 定义的引导
= 0x5A	0xFF	0xFF	0xFF	引导模式 3 的引导表中定义的引导 (禁用所有 BMSP)
	有效 GPIO	0xFF	0xFF	由 BMSP0 值定义的引导 (禁用 BMSP1 和 BMSP2)
	0xFF	有效 GPIO	0xFF	由 BMSP1 值定义的引导 (禁用 BMSP0 和 BMSP2)
	0xFF	0xFF	有效 GPIO	由 BMSP2 值定义的引导 (禁用 BMSP0 和 BMSP1)
	有效 GPIO	有效 GPIO	0xFF	由 BMSP0 和 BMSP1 的值定义的引导 (禁用 BMSP2)
	有效 GPIO	0xFF	有效 GPIO	由 BMSP0 和 BMSP2 的值定义的引导 (禁用 BMSP1)
	0xFF	有效 GPIO	有效 GPIO	由 BMSP1 和 BMSP2 的值定义的引导 (禁用 BMSP0)
	有效 GPIO	有效 GPIO	有效 GPIO	由 BMSP0、BMSP1 和 BMSP2 的值定义的引导

4.8.2. 配置交替引导模式选项

本节介绍了如何为器件配置引导定义表 BOOTDEF 以及相关的引导选项。64 位置位于 Z1_OTP_BOOTDEF_LOW 和 Z1_OTP_BOOTDEF_HIGH 位置的用户可配置 DCS OTP 中。调试时，EMU_BOOTDEF_LOW 和 EMU_BOOTDEF_HIGH 是 Z1_OTP_BOOTDEF_LOW 和 Z1_OTP_BOOTDEF_HIGH 的仿真等效，并且可以进行编程，以便在不写入 OTP 的情况下使用不同的引导模式选项进行实验。引导定义表的自定义范围取决于正在使用多少引导模式选择引脚。

表格 26 BOOTDEF 位字段

BOOTDEF 名称	字节位置	名称	说明
BOOT_DEF0	7:0	BOOT_DEF0 模式和选项	设置引导模式和引导模式选项。这可能包括更改特定引导外设的 GPIO 或指定不同的 Flash 入口点。任何不支持的引导模式都会导致器件复位。 有关有效的 BOOTDEF 值，请参阅“GPIO 分配”章节。
BOOT_DEF1	15:8	BOOT_DEF1 模式和选项	请参阅 BOOT_DEF0 说明。
BOOT_DEF2	23:16	BOOT_DEF2 模式和选项	
BOOT_DEF3	31:24	BOOT_DEF3 模式和选项	
BOOT_DEF4	39:32	BOOT_DEF4 模式和选项	
BOOT_DEF5	47:40	BOOT_DEF5 模式和选项	
BOOT_DEF6	55:48	BOOT_DEF6 模式和选项	
BOOT_DEF7	63:56	BOOT_DEF7 模式和选项	

4.8.3. GPIO 分配

本节将详细介绍 GPIO 以及在位于 Z1_OTP_BOOTDEF_LOW 和 Z1_OTP_BOOTDEF_HIGH 的 BOOT_DEFx

中设置的每种引导模式的引导选项。请参阅“配置备用引导模式选择引脚”章节，了解如何操作 BOOT_DEFx。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用器选项中提供了必要的引脚。

表格 27 UART 引导选项

选项	BOOTDEFx 值	UARTA_TX GPIO	UARTA_RX GPIO
0 (默认值)	0x01	GPIO29	GPIO28
1	0x21	GPIO16	GPIO17
2	0x41	GPIO8	GPIO9
3	0x61	GPIO48	GPIO49
4	0x81	GPIO24	GPIO25

注意：在 UARTA_TX 和 UARTA_RX 引脚上启用上拉电阻。

表格 28 CAN 引导选项

选项	BOOTDEFx 值	CANA_TX GPIO	CANA_RX GPIO
0 (默认值)	0x02	GPIO32	GPIO33
1	0x22	GPIO4	GPIO5
2	0x42	GPIO31	GPIO30
3	0x62	GPIO37	GPIO35

注意：在 CANA_TX 和 CANA_RX 引脚上启用上拉电阻。

表格 29 Flash 引导选项

选项	BOOTDEFx 值	Flash 入口点 (地址)	Flash 存储体、扇区
0 (默认值)	0x03	Flash- 默认选项 1 (0x08000000)	存储体 0 扇区 0
1	0x23	Flash- 选项 2 (0x001000000)	存储体 0 扇区 14
2	0x43	Flash- 选项 3 (0x08020000)	存储体 1 扇区 0
3	0x63	Flash- 选项 4 (0x00120000)	存储体 1 扇区 14

表格 30 等待引导选项

选项	BOOTDEFx 值	看门狗状态
0	0x04	被启用
1	0x24	禁用

表格 31 SPI 引导选项

选项	BOOTDEFx 值	SPIA_SIMO	SPIA_SOMI	SPIA_CLK	SPIA_STE
1	0x26	GPIO8	GPIO10	GPIO9	GPIO11
2	0x46	GPIO54	GPIO55	GPIO56	GPIO57
3	0x66	GPIO16	GPIO17	GPIO56	GPIO57
4	0x86	GPIO8	GPIO17	GPIO9	GPIO11

注意：在 SPIA_SIMO、SPIA_SOMI、SPIA_CLK 和 SPIA_STE 引脚上启用上拉电阻。

表格 32 I2C 引导选项

选项	BOOTDEFx 值	I2CA_SDA GPIO	I2CA_SCL GPIO
0	0x07	GPIO32	GPIO33
1	0x47	GPIO26	GPIO27
2	0x67	GPIO42	GPIO43

注意：在 I2CA_SDA 和 I2CA_SCL 引脚上启用上拉电阻。

表格 33 RAM 引导选项

选项	BOOTDEFx 值	RAM 入口点地址
0	0x05	0x00000000 (ITCM)
1	0x25	0x20100000 (SRAM0)
2	0x45	0x20200000 (SRAM1)
3	0x65	0x20300000 (SRAM2)

表格 34 Secure Flash Boot 引导选项

选项	BOOTDEFx 值	Flash 入口点 (地址)	Flash 存储体、扇区
0	0x0A	0x00080000	存储体 0 扇区 0 (Busmatrix IF)
1	0x2A	0x00100000	存储体 0 扇区 0 (ITCM IF)
2	0x4A	0x08020000	存储体 1 扇区 0 (Busmatrix IF,DualBank Mode)
3	0x6A	0x00120000	存储体 1 扇区 0 (ITCM IF,DualBank Mode)

4.9. 双代码安全模块 (DCS)

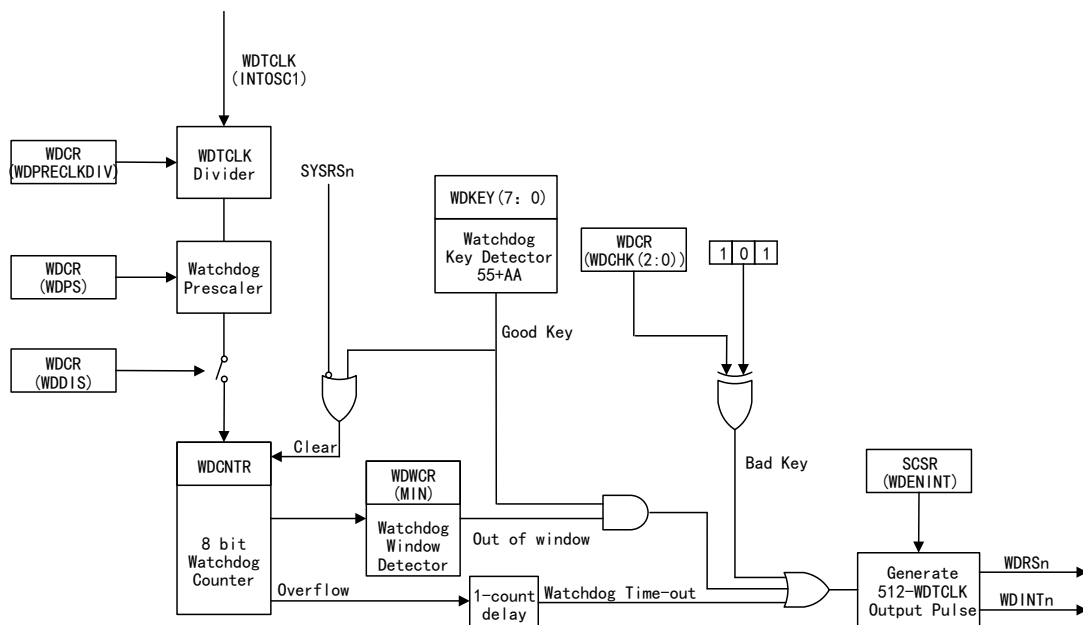
双代码安全模块 (DCS) 旨在防止未经授权的访问和查看片上安全存储器以及其他安全资源。术语“安全”意味着阻止对安全存储器和资源的访问；术语“不安全”是指允许访问。请查阅《DCS 用户手册》，了解有关 DCS 功能的更多信息。

4.10. 看门狗

该看门狗模块针对计数器的软件复位之间的时间提供了一个可选的下限,默认情况下会禁用此窗口倒计时。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

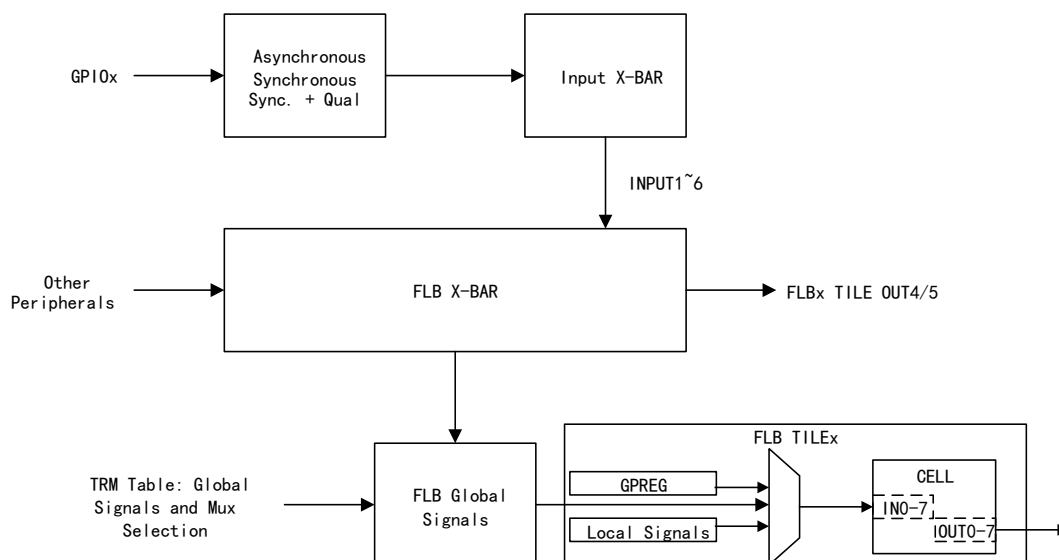
图 10 看门狗定时器结构框图



4.11. 灵活逻辑块 (FLB)

灵活逻辑块 (FLB) 是一组可配置自定义逻辑模块集合，同时 FLB 也能够通过配置增强现有的外设互连，为片上的控制外设 (PWM, CAP, QEP 等) 提供高度连接性。

图 11 GPIO 到 FLB 的 TILE 连接



4.12. 功能安全

功能安全合规型产品是使用符合 IEC 61508 标准的硬件开发流程开发的，这些硬件经过单独评估和认证，满足 SIL2 系统功能的要求 (参阅证书)。

注：IEC61508 认证进行中。

5. 电气特性

5.1. 绝对最大额定值

本章节所有数据在自然通风条件下的工作温度范围内（除非另有说明），应力超出绝对最大耐受值下列的值可能会对器件造成永久损坏。这些仅为应力耐受值，并不表明器件在这些耐受值下或者任何其超过本章所述条件下可正常工作。长时间处于最大绝对耐受情况下会影响设备的可靠性。除非另有说明，否则所有电压值均以VSS为基准。长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。每个引脚的连续钳位电流为 $\pm 2\text{mA}$ 。请勿在此条件下连续工作，因为VDDIO/VDDA电压可能会在内部上升并影响其他电气规格。

5.1.1. 最大温度特性

表格 35 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65 ~ +150	°C
T_J	最大结温度	125/150	°C

5.1.2. 最大额定电压特性

表格 36 最大额定电压特性

符号	描述	最小值	最大值	单位
V_{DD}	以VSS为基准的电源电压	-0.3	1.3	V
V_{DDA}	以VSSA为基准的电源电压	-0.3	4.125	
V_{DDIO}	以VSS为基准的电源电压	-0.3	4.125	
V_{IN}	在3.3V的引脚上的输入电压	-0.3	4.125	
V_{O}	输出电压	-0.3	4.125	

5.1.3. 最大额定电流特性

表格 37 最大额定电流特性

符号	描述	最小值	最大值	单位
$I_{\text{IK}} (V_{\text{IN}} < V_{\text{SS}} \text{ 或 } V_{\text{IN}} > V_{\text{DDIO}})$	数字输入（每引脚）	-20	20	mA
$I_{\text{IKANALOG}} (V_{\text{IN}} < V_{\text{SSA}} \text{ 或 } V_{\text{IN}} > V_{\text{DDA}})$	模拟输入（每引脚）	-20	20	
$I_{\text{IKTOTAL}} (V_{\text{IN}} < V_{\text{SS}}/V_{\text{SSA}} \text{ 或 } V_{\text{IN}} > V_{\text{DDIO}}/V_{\text{DDA}})$	所有输入的总计	-20	20	
I_{OUT}	数字输出（每引脚）	-20	20	

5.2. EMC

5.2.1. ESD 等级—商用

表格 38 ESD 特性

符号	参数	条件	等级	最大值	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A=+25^{\circ}\text{C}$, 标准: ANSI/ESDA/JEDEC JS-001	3A	4000	V
$V_{ESD(CDM)}$	静电放电电压(带电器件模型)	$T_A=+25^{\circ}\text{C}$, 标准: ANSI/ESDA/JEDEC JS-002	C3	1000	

注: 由综合评估得出, 不在生产中测试。

5.2.2. Latch up

闩锁效应 (Latch-up) 是指在 CMOS 集成电路中, 由于寄生的双极结型晶体管 (BJT) 相互影响, 在电源 VDD 和地线 GND 之间形成低阻抗通路, 导致大电流流过, 可能损坏芯片的现象。这种效应主要发生在易受外部干扰的 I/O 电路处, 也可能在内部电路中发生。

表格 39 闩锁效应

符号	参数	条件	类型
LU	闩锁效应	$T_A=105^{\circ}\text{C}$, 标准: JEDEC JESD78	II 类 A ($\pm 200\text{mA}$)

注: 由综合评估得出, 不在生产中测试。

5.3. 建议运行条件

表格 40 建议运行条件

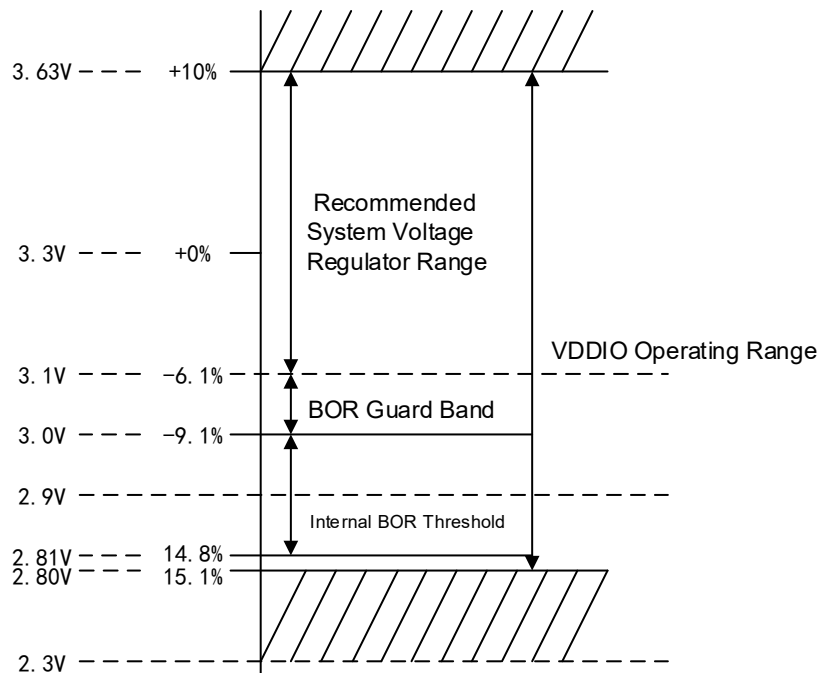
符号	描述	最小值	典型值	最大值	单位
V_{DDIO} 和 V_{DDA}	器件电源电压启用内部 BOR ⁽¹⁾	$V_{BOR-VDDIO(MAX)} + V_{BOR-GB}^{(2)}$	3.3	3.63	V
	器件电源电压禁用内部 BOR	2.8	3.3	3.63	
V_{DD}	器件电源电压	1	1.1	1.2	V
V_{SS}	器件接地	0			V
V_{SSA}	模拟接地	0			V
SR_{SUPPLY}	电源斜坡速率 ⁽³⁾	-			-
$t_{VDDIO-RAMP}$	V_{DDIO} 电源斜坡时间 (从 1V 到 $V_{BOR-VDDIO(MAX)}$)	10			ms
V_{BOR-GB}	VDDIO BOR 保护频带 ⁽⁴⁾	0.1			V
结温, $T_J^{(5)}$		-40 ~ 125/150			$^{\circ}\text{C}$
环境工作温度, T_A		-40 ~ 125 / -40 ~ 105			$^{\circ}\text{C}$

注意:

- (1) 默认情况下会启用内部 BOR。
- (2) VDDIO BOR 电压 ($V_{BOR-VDDIO(MAX)}$) (请参阅电气特性) 决定了运行器件的电压下限。建议系统设计人员在预算中设置额外的保护频带 (V_{BOR-GB}), 如下图。
- (3) 请参阅电源管理模块运行条件表。

- (4) 建议使用 V_{BOR-GB} ，避免由于正常电源噪声或 3.3V V_{DDIO} 系统稳压器上的负载瞬态事件而导致 BOR 复位。良好的系统稳压器设计和去耦电容（符合系统稳压器规格）对于防止在器件正常运行期间激活 BOR 非常重要。 V_{BOR-GB} 的值是一个系统级设计注意事项；此处列出的电压是许多应用的典型值。
- (5) 在 $T_J = 105^{\circ}\text{C}$ 以上的温度下长时间运行将缩短器件的使用寿命。

图 12 电源电压



5.4. 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。

5.4.1. 系统电流消耗（VDD 由外部电源供电）

以下在自然通风条件下的环境温度（ T_A ）范围内测得，具体条件为 TYP: 25°C , 1.1V; MAX: 125°C , 1.1V。

表格 41 工作模式

符号	参数	测试条件	MIN	TYP	MAX	MAX (125°C)	单位
I_{DD}	运行期间的 V_{DD} 电流消耗	CPU0: 参阅工作模式测试说明 CPU1: CoreMark FREQ: 250MHz	84.0	85.5	86.5	168.7	mA
I_{DDIO}	运行期间的 V_{DDIO} 电流消耗		20.1	20.7	20.9	29.5	mA
I_{DDA}	运行期间的 V_{DDA} 电流消耗		10.5	10.7	10.8	10.8	mA

表格 42 空闲模式

符号	参数	测试条件	MIN	TYP	MAX	MAX (125°C)	单位
I_{DD}	器件处于空闲模式时的 V_{DD} 电流消耗	CPU 处于空闲模式 Flash 被断电	50.4	51.6	52.5	139.6	mA
I_{DDIO}	器件处于空闲模式时的 V_{DDIO} 电流消耗		2.6	2.6	2.6	22.3	mA

符号	参数	测试条件	MIN	TYP	MAX	MAX (125℃)	单位
I _{DDA}	器件处于空闲模式时的V _{DDA} 电流消耗	XCLKOUT 被关闭	0.23	0.24	0.27	0.27	mA

表格 43 停机模式

符号	参数	测试条件	MIN	TYP	MAX	MAX (125℃)	单位
I _{DD}	器件处于停机模式时的V _{DD} 电流消耗	CPU 处于停机模式 Flash 被断电 XCLKOUT 被关闭	6.31	6.98	7.48	93.49	mA
I _{DDIO}	器件处于停机模式时的V _{DDIO} 电流消耗 ⁽²⁾		2.18	2.21	2.22	17.11	mA
I _{DDA}	器件处于停机模式时的V _{DDA} 电流消耗 ⁽³⁾		0.23	0.23	0.24	0.26	mA

5.4.2. 系统电流消耗 (VDD 由内部 VREG 供电)

在自然通风条件下的环境工作温度 (T_A) 范围内测得 (除非另有说明), 具体条件为 TYP: V_{nom}, 25℃。

表格 44 工作模式

符号	参数	测试条件	MIN	TYP	MAX	MAX (105℃)	单位
I _{DDIO}	运行期间的V _{DDIO} 电流消耗	CPU0: 参阅工作模式测试说明 CPU1: CoreMark FREQ: 250MHz	131.0	134.2	136.0	287.0	mA
I _{DDA}	运行期间的V _{DDA} 电流消耗		10.0	10.2	10.4	12.0	mA

表格 45 空闲模式

符号	参数	测试条件	MIN	TYP	MAX	MAX (105℃)	单位
I _{DDIO}	器件处于空闲模式时的V _{DDIO} 电流消耗	CPU 处于空闲模式 Flash 被断电 XCLKOUT 被关闭	63.0	64.8	66.0	197.0	mA
I _{DDA}	器件处于空闲模式时的V _{DDA} 电流消耗		0.23	0.23	0.23	0.26	mA

表格 46 停机模式

符号	参数	测试条件	MIN	TYP	MAX	MAX (105℃)	单位
I _{DDIO}	器件处于停机模式时的V _{DDIO} 电流消耗	CPU 处于停机模式 Flash 被断电 XCLKOUT 被关闭	11.38	11.78	12.00	163.00	mA
I _{DDA}	器件处于停机模式时的V _{DDA} 电流消耗		0.23	0.23	0.24	0.26	mA

5.4.3. 工作模式测试说明

为实现所示值而运行的测试用例将在循环中执行以下操作。以下未列出的外设已禁用其时钟。

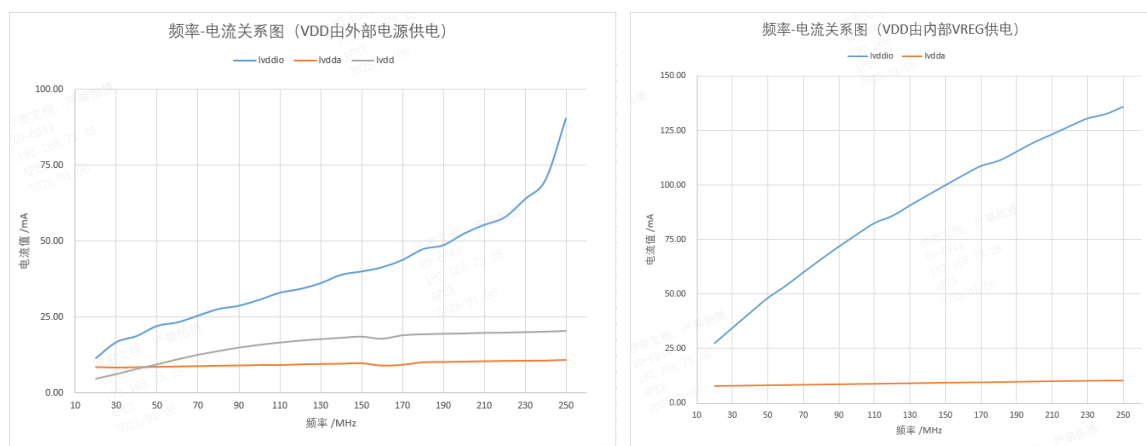
CPU0 工作模式的测试条件参考此章节, CPU1 工作模式的测试条件按照 coremark 程序。

- 从 Flash 执行代码
- Flash 被读取, 并保持激活状态
- I/O 引脚不驱动任何外部元件
- 系统频率为 250MHz, APB 频率为 125MHz
- 使用以下所有通信外设: SPIA、SPIB、UARTA、UARTB、CANA、CANB、LINA、PMBus、以及 QSPI。
- PWM1 至 PWM3 在 6 个引脚上生成 5MHz 输出
- PWM4 至 PWM7 处于 HRPWM 模式, 并在 6 个引脚上生成 25MHz 输出

- CPU 计时器激活
- CPU 进行 FIR16 计算
- DMA 进行连续 32 位传输
- 所有 ADC 执行连续转换
- 所有 DAC 都在环路频率约为 11kHz 时改变电压
- 所有 COMP 都会生成频率为 100kHz 的方波
- 启用 SDF 外设时钟
- CAP1 至 CAP7 处于 APWM 模式，切换频率为 250kHz
- 启用所有 QEP 看门狗并执行计数
- 启用系统看门狗并执行计数

5.4.4. 电流消耗图

下图显示了器件上的频率与电流消耗之间关系的典型代表。“系统电流消耗（外部电源）”章节中的工作测试是在 VNOM 和室温下的整个频率范围内运行的。实际结果将因系统实现情况和具体条件而异。



5.4.5. 减少电流消耗

- 为进一步降低应用中空闲期间的电流消耗，可以进入空闲和停机这两种低功耗模式中的任何一种模式。
- 如果代码从 RAM 中运行，Flash 模块可能会断电
- 禁用假定具有输出功能的引脚上的上拉电阻
- 每个外设都有一个单独的时钟使能位（PCLKCRx）。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。

5.4.5.1. 外设典型 IDD 电流

表格 47 SYSCLK 为 250MHz 时的外设典型 IDD 电流

外设 ⁽¹⁾	外设典型 IDD 电流 (mA)
ADC ⁽²⁾	0.8
CAN	1.0
FLB	1.0
COMP ⁽²⁾	0.4
CPU 计时器	0.3

外设 ⁽¹⁾	外设典型 IDD 电流 (mA)
DAC ⁽²⁾	0.3
DMA	0.4
CAP1 至 CAP5	0.1
CAP6 至 CAP7 ⁽³⁾	0.4
PWM	0.7
QEP	0.2
HRPWM	0.3
I2C	0.5
LIN	0.5
PMBUS	0.5
UART	0.9
SDF	0.9
SPI	0.2
QSPI	5.8
DCCOMP	0.4

注意:

- (1) 复位时, 所有外设均禁用。使用 PCLKCRx 寄存器以单独地启用外设。对于具有多个实例的外设, 针对单个模块引用电流。
- (2) 此电流代表了每个模块的数字部分汲取的电流。
- (3) CAP6 和 CAP7 也可以配置为 HRCAP。

5.5. 电气特性

表格 48 数字和模拟 IO

符号	参数	测试条件	最小值	典型值	最大值	单位
V _{OH}	高电平输出电压	I _{OH} = 1/2/4/6mA	V _{DDIO} * 0.8		V _{DDIO}	V
		I _{OH} = -100μA	V _{DDIO} - 0.2			
V _{OL}	低电平输出电压	I _{OL} = 1/2/4/6mA			0.4	V
		I _{OL} = 100μA			0.2	
I _{OH}	所有输出引脚的高电平输出源电流	DS0/DS1=00@1mA DS0/DS1=01@2mA DS0/DS1=10@4mA DS0/DS1=11@6mA			-1 -2 -4 -6	mA

符号	参数		测试条件	最小值	典型值	最大值	单位
I_{OL}	所有输出引脚的低电平输出灌电流		DS0/DS1=00@1mA DS0/DS1=01@2mA DS0/DS1=10@4mA DS0/DS1=11@6mA			1 2 4 6	mA
V_{IH}	高电平输入电压 (3.3V)			2		$V_{DDIO} + 0.3$	V
V_{IL}	低电平输入电压 (3.3V)			$V_{SS}-0.3$		0.8	V
$V_{HYSTERESIS}$	输入迟滞				200		mV
$I_{PULLDOWN}$	输入电流	GPIO		160			μA
I_{PULLUP}	输入电流	GPIO		150			μA
		XRSN		660			μA
I_{LEAK}	引脚漏电流	数字输入			1	1	μA
		模拟引脚 (VREFHix 及 VREFLOx 引脚除外)			1	1	
		模拟引脚 (VREFHix 及 VREFLOx 引脚)			0.1	0.1	
C_i	输入电容	GPIO			10	10	pF
		XRSN			10	10	
		模拟引脚	模拟引脚单独指定				

表格 49 VREG 和 BOR

符号	参数	测试条件	最小值	典型值	最大值	单位
$V_{POR-VDDIO}$	V_{DDIO} 上电复位电压			2.3		V
$V_{BOR-VDDIO}$	V_{DDIO} 欠压复位电压		2.81	2.9	3.0	V
V_{VREG}	内部稳压器输出	内部 VREG 打开		1.1		V

5.6. 热阻特征

表格 50 封装热阻特性

符号	参数	°C/W ⁽¹⁾						气流 (lfm) ⁽²⁾			
		QFN56	LQFP64	E-LQFP64	LQFP80	LQFP100	E-LQFP100	QFN56	LQFP64/E-LQFP64	LQFP80	LQFP100/E-LQFP100
R θ_{JC}	结至外壳表面的热阻系数	10.9	10.5	10.5	10.1	9.7	8.75	不适用	不适用	不适用	不适用
R θ_{JB}	结至电路板的热阻系数	3.1	22.6	3.98	26.2	29.7	3.92	不适用	不适用	不适用	不适用
R θ_{JA} (高 kPCB)	结至大气的热阻系数	24.7	37.5	26.02	41.3	43.3	25.90	0	0	0	0
R θ_{JMA}	结至流动空气的热阻系数	16.9	35.9	-	39.2	39.9	-	150	150	150	150
		14.3	33.2	-	37.1	38.2	-	250	250	250	250
		12.9	30.6	-	35.6	36.3	-	500	500	500	500

注意:

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta JC [R θ_{JC}]值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, 集成电路热试验方法环境条件-自然对流 (静止空气)
- JESD51-3, 含铅表面贴装封装的低有效导热测试板
- JESD51-7, 含铅表面贴装封装的高效导热测试板
- JESD51-9, 区域阵列表面贴装封装热测量测试板

(2) fpm = 线性英尺/分钟

5.7. 散热设计注意事项

根据最终应用设计和运行情况， I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J ，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J 。通常在封装顶部表面的中心测量 T_{case} 。

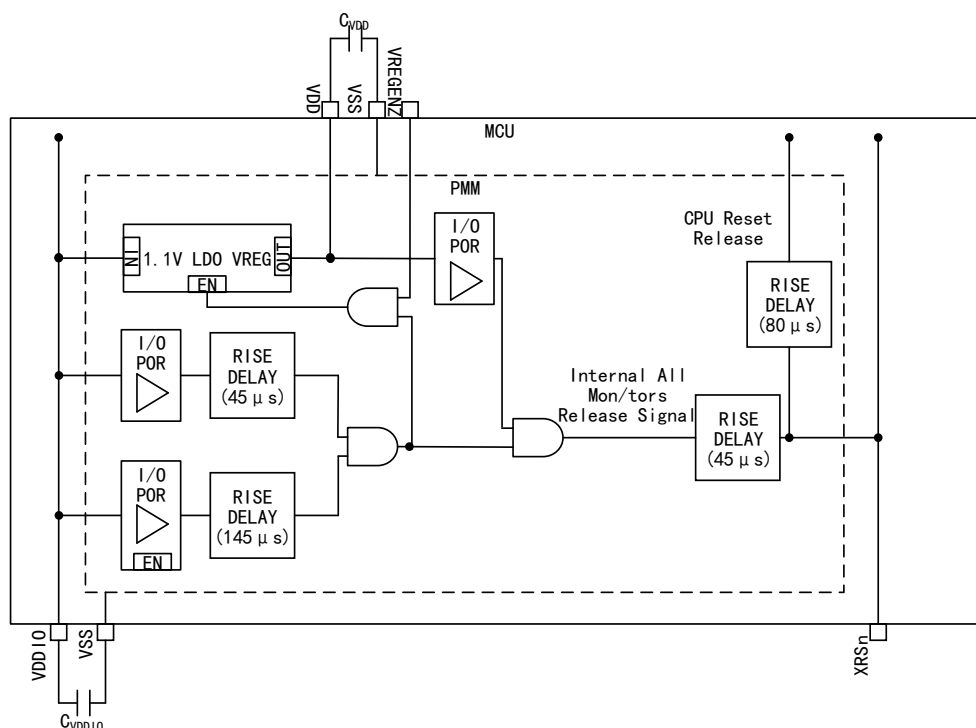
5.8. 系统

5.8.1. 电源管理模块 (PMM)

电源管理模块 (PMM) 可以处理运行器件时所需的所有电源管理功能。

下图给出了 PMM 的框图。可以看出，PMM 包含多个子组件，这些子组件将在后续章节中进行介绍。

图 13 PMM 结构框图



5.8.1.1. 电源轨监视器

PMM 在电源轨上有电压监视器，如果电压在上电期间超过设定的阈值， $XRSn$ 信号便会释放为高电平。如果任何电压降至设定的阈值以下，这些电压监视器还可以使 $XRSn$ 信号跳闸为低电平。后续各节将介绍各种电压监视器。

注意：当不支持电压监视器时，如果器件在应用运行过程中需要监视电源电压，则建议使用外部监控器。I/O POR、I/O BOR、VDD POR 三个电压监视器都必须在器件开始运行（即 $XRSn$ 变为高电平）之前释放各自的输出。如果任何电压监视器跳闸， $XRSn$ 将被驱动为低电平。当任何电压监视器跳闸时，I/O 保持高阻抗。

I/O POR 监视

上电复位 (I/O POR) 用来监控 VDDIO 电源轨。芯片上电过程中，这是在 VDDIO 上第一个解除跳闸的监控。

I/O BOR 监视

欠压复位 (I/O BOR) 也用来监控 VDDIO 电源轨。在上电期间，这是在 VDDIO 上第二个解除跳闸的监控。I/O BOR 对比 I/O POR 有更严格的容差。

如果电压下降到低于推荐的工作电压，将触发 I/O BOR 跳闸并复位芯片，但通过将 VMONCTL [BORLVMONDIS] 设置为 1 可以禁用此功能。只有在芯片完全启动后才能禁用 I/O BOR。如果禁用 I/O BOR，则 I/O POR 将在电压下降时复位芯片。

注意：I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压，因此不应用于器件监控。

VDD POR 监视

VDD POR 用来监控 VDD 电源轨。芯片上电过程中，如果电压超过 VDD 设定的跳闸电平，该监控电路将解除跳闸。

注意：VDD POR 被设定在低于 VDD 建议最小电压的水平，如果应用中需要监测 VDD，不应该依赖 VDD POR 监控，应使用外部监控器。

5.8.1.2. 外部监控器使用情况

VDDIO 监控：I/O BOR 支持应用使用，因此无需外部监控器来监控 I/O 电源轨。

VDD 监控：VDD POR 不支持应用使用。如果应用需要 VDD 监控，则应使用外部监控器监控 VDD 电源轨。

注意：不支持将外部监控器与内部 VREG 一起使用。如果应用需要检测 VDD，则必须使用 VREGENZ 引脚的封装从外部为 VDD 供电。

5.8.1.3. 延迟块

电压监控器路径中的延迟块用来延迟电压监控器和 XRSn 之间的释放时间。当 XRSn 在外部 VREG 模式下释放时，利用延迟可确保电压稳定。延迟块仅在 VDDIO 和 VDD 上电期间有效。延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

5.8.1.4. 内部 1.1V LDO 稳压器 (VREG)

内部 VREG 由 VDDIO 电源轨供电，将 VREGENZ 引脚连接至低电平可以生成为 VDD 引脚供电所需的 1.1V 电压。利用内部 VREG 可不再从外部为 VDD 供电，但为了确保 VREG 稳定性且避免瞬变，VDD 引脚上仍需要去耦电容器。详细信息请参阅 VDD 去耦。

5.8.1.5. VREGENZ

VREG 禁用引脚可控制内部 VREG 的状态。要启用内部 VREG，VREGENZ 引脚应连接至低电平。对于外部 VREG 的应用，应通过将 VREGENZ 引脚连接至高电平来禁用内部 VREG。

注意：VREGENZ 引脚输出功能只在部分封装型号上存在，详细信息请查阅引脚属性。对于没有 VREGENZ 的封装，不支持外部 VREG 模式。

5.8.1.6. 外部元件

5.8.1.6.1. 去耦电容器

VDDIO 和 VDD 需要去耦电容器才能正常运行。后续章节将概述这些要求。

VDDIO 去耦

应在 VDDIO 上放置最小的去耦电容值。请参阅 C_{VDDIO} 参数（位于电源管理模块电气数据和时序中）。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- 配置 1：根据 C_{VDDIO} 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- 配置 2：安装等效于 $C_{VDDIO} * VDDIO$ 引脚的单个去耦电容器。

注意：将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

VDD 去耦

应在 VDD 上放置最小的去耦电容值。请参阅 $C_{VDD\ TOTAL}$ 参数（位于电源管理模块电气数据和时序中）。

可接受以下任一配置：

- 配置 1：对 VDD 引脚上的 $C_{VDD\ TOTAL}$ 值执行除法运算。
- 配置 2：安装一个容值为 $C_{VDD\ TOTAL}$ 的去耦电容器。

注意：将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

5.8.1.7. 电源时序

5.8.1.7.1. 电源引脚联动

推荐将电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，所有 VDD 引脚在内部连接在一起，以此类推。并且任何电源引脚都不应该悬空。

推荐将所有 3.3V 电源轨连接在一起并由单个电源供电，包括 VDDIO、VDDA 电源轨。

在内部 VREG 模式下，将 VDD 引脚连接在一起是可选操作，只要每个 VDD 引脚上都有一个电容器即可。请参照“VDD 去耦”。

芯片上的模拟模块具有相当高的 PSRR（电源抑制比）；因此大多数情况下，VDDA 上的噪声必须超过电源轨的推荐工作条件，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的优势较小。为了改善噪声，可采取的方法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

5.8.1.7.2. 信号引脚电源时序

芯片上电前，任何数字引脚上的电压不应该大于 $VDDIO+0.3V$ ，同时也不应低于 $VSS-0.3V$ ；任何模拟引脚（包括 VREFHI）上的电压不应大于 $VDDA+0.3V$ ，也不应低于 $VSSA-0.3V$ 。

简单地说，需要在 XRSn 变为高电平后驱动信号引脚，且前提是所有 3.3V 电源轨连接在一起。及时 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

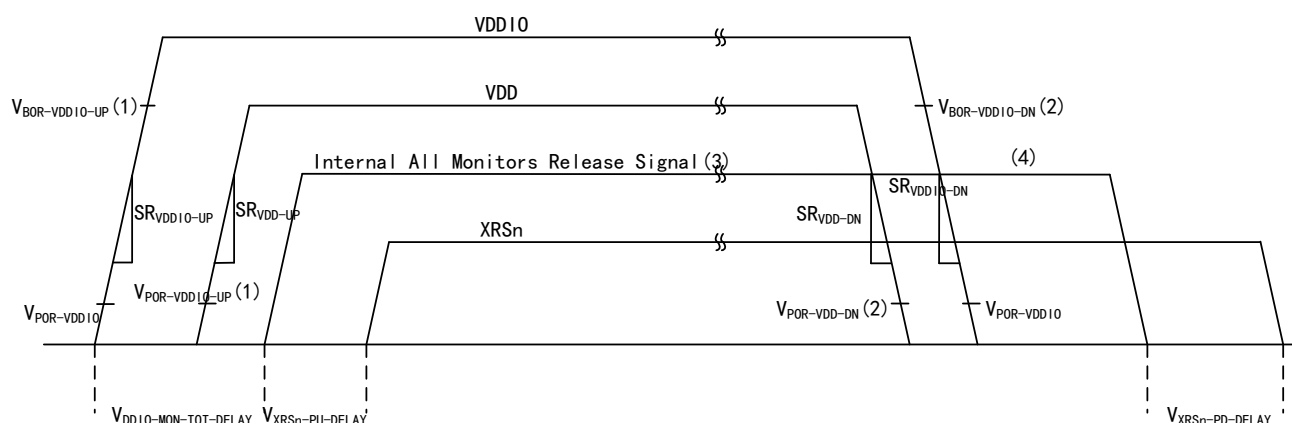
注意：如果违反上述时序，电流可能会流经芯片中意外的寄生路径，从而对芯片造成故障或损坏。

5.8.1.7.3. 电源引脚电源序列

外部 VREG/VDD 模式序列

下图显示了外部 VREG 模式的电源时序控制要求。所有参数的值可在电源管理模块电气数据和时序中找到。

图 14 外部 VREG 上电序列



注意:

- (1) 该跳闸点是 XRSn 释放之前的跳闸点。
- (2) 该跳闸点是 XRSn 释放之后的跳闸点。
- (3) 上电期间，所有监控器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。
- (4) 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。

在上电期间:

- 首先，3.3V 的 VDDIO 电源轨以指定的最小压摆率出现
- 其次，1.1V 的 VDD 电源轨以指定的最小压摆率出现
- 设定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差
- 在 V_{DDIO-MON-TOT-DELAY} 和 V_{XRSn-PD-DELAY} 指定的时间之后，XRSn 将被释放，并且器件会启动启动序列。在 XRSn 释放（即变为高电平）和启动序列之间还有额外的延迟。
- I/O BOR 监视器在上电和断电期间具有不同的释放点。
- 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。

在掉电期间:

- 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是有最小压摆率规格
- I/O BOR 监视器在上电和断电期间具有不同的释放点
- 在断电期间跳闸的任何 POR 或 BOR 监视器都会导致 XRSn 在 V_{XRSn-PD-DELAY} 之后变为低电平

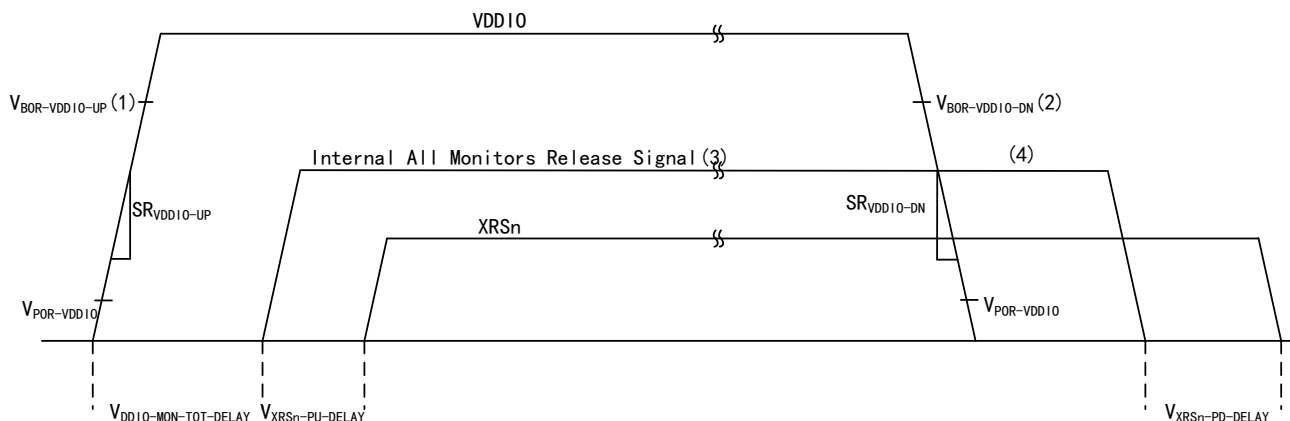
注意:

- (1) 所有监控器释放信号是一个内部信号。
- (2) 如果有一个驱动 XRSn 的外部电路（例如一个监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会启动。

内部 VREG/VDD 模式序列

下图显示了内部 VREG 模式的电源时序控制要求。所有所示参数的值均可在电源管理模块电气数据和时序中找到。

图 15 内部 VREG 上电序列



注意:

- (1) 该跳闸点是 XRSn 释放之前的跳闸点。
- (2) 该跳闸点是 XRSn 释放之后的跳闸点。
- (3) 上电期间，所有监控器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。
- (4) 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。

在上电期间:

- 3.3V 的 VDDIO 电源轨以指定的最小压摆率出现。
- 1.1V 的 VDD 电源轨以指定的最小压摆率出现。
- 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
- 在 VDDIO-MON-TOT-DELAY 和 V_XRSN-PD-DELAY 指定的时间之后，XRSn 将被释放，并且器件会启动启动序列。在 XRSn 释放（即变为高电平）和启动序列之间还有额外的延迟。
- I/O BOR 监视器在上电和断电期间具有不同的释放点。
- 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。

在掉电期间:

- 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是有最小压摆率规格。
- I/O BOR 监视器在上电和断电期间具有不同的释放点。
- I/O BOR 跳闸将导致 XRSn 在 V_XRSN-PD-DELAY 之后变为低电平，并使内部 VREG 断电。

注意:

- (1) 所有监控器释放信号是一个内部信号。
- (2) 如果有一个驱动 XRSn 的外部电路（例如一个管理器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会启动。

电源时序摘要和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。不可接受的序列会导致可靠性问题并可能导致损坏。为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照电源引脚电源序列中的说明进行操作。

表格 51 外部 VREG 序列摘要

情形	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
A	1	2	3	是
B	1	3	2	是
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	是
H	2	2	1	-

表格 52 内部 VREG 序列摘要

情形	电源轨上电顺序		可接受
	VDDIO	VDDA	
A	1	2	是
B	2	1	-
C	1	1	是

注意：应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

电源压摆率

- VDDIO 有最低压摆率要求。

当不满足最低压摆率要求时，XRSn 可能会在 VDDIO 超过 I/O BOR 区域之前多次切换。一般情况下，XRSn 上的切换对芯片没有不良影响，只有当 XRSn 稳定为高电平时才会启动 boot。但如果把此芯片的 XRSn 用于控制其他 IC 的复位信号，则必须满足压摆率要求以防止 XRSn 发生此类切换。

- VDD 在外部 VREG 模式下具有最低压摆率要求。

当不满足最低压摆率要求时，芯片可能会在 VDD 未达到最小运行电压之前释放复位并启动 boot，从而可能导致芯片无法正常工作。

如果无法满足最低压摆率要求，则必须在 VDD 上使用监控器，保持 XRSn 为低电平直到 VDD 超过最小运行电压阈值，确保芯片能够正常工作。

5.8.1.8. 电源管理模块电气数据和时序

表格 53 电源管理模块运行条件

符号	参数	测试条件	最小值	典型值	最大值	单位
通用						
C_{VDDIO}	VDDIO 上的大容量电容	基于外部电源 IC 要求 ⁽¹⁾		0.1		μF
C_{VDDIO_DCAP}	每个 VDDIO 引脚上的去耦电容器			0.1		μF
C_{VDDA}	VDDA 引脚上的电容器			2.2		μF
C_{VDD}	VDD 上的大容量电容	适用于仅 LDO 工作模式 ⁽²⁾	12	20	27	μF
C_{VDD_DCAP}	每个 VDD 引脚上的去耦电容器	适用于仅 LDO 工作模式 ⁽²⁾	0.1		6.75	μF
$SR_{VDDIO_UP}^{(4)}$	3.3V 电源轨 (VDDIO) 的电源斜升速率		82.5		363	mV/ μs
$SR_{VDDIO_DN}^{(4)}$	3.3V 电源轨 (VDDIO) 的电源斜降速率		80		167.3	mV/ μs
外部 VREG						
C_{VDD} 总计 ⁽³⁾⁽⁵⁾	总 VDD 电容 ⁽⁷⁾		10			μF
$SR_{VDD_UP}^{(4)}$	1.1V 电源轨 (VDD) 的电源斜升速率		3.5		100	mV/ μs
$SR_{VDD_DN}^{(4)}$	1.1V 电源轨 (VDD) 的电源斜降速率		10		100	mV/ μs
$V_{DDIO} - V_{DD}$ 延迟 ⁽⁶⁾	VDDIO 和 VDD 之间的斜坡延迟		0		无限制	μs

注意:

- (1) 该电源上的大容量电容应基于电源 IC 要求。
- (2) 详细信息, 请参阅“内部 1.1V LDO 稳压器 (VREG)”章节。
- (3) 去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。
- (4) 请参阅“电源压摆率”章节。电源斜坡速率高于最大值会触发片上 ESD 保护。
- (5) 请参阅“电源管理模块 (PMM)”章节, 了解总去耦电容的可能配置。
- (6) 3.3V 电源轨斜升时和 1.1V 电源轨斜升时之间的延迟。请参阅“VREG 序列摘要”表格, 了解允许的电源斜坡序列。
- (7) 最大电容器容差应为 20%。

表格 54 电源管理模块特征

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{VREG}	内部稳压器输出		1.07	1.1	1.14	V
V_{VREG_PU}	内部稳压器上电时间		80		340	μs
$V_{VREG_INRUSH}^{(5)}$	内部稳压器浪涌电流		354		662	mA
V_{POR_VDDIO}	VDDIO 上电复位电压	XRSn 释放之前和之后		2.3		V
$V_{BOR_VDDIO_UP}^{(1)}$	斜升时的 VDDIO 欠压复位电压	XRSn 释放之前		2.9		V

符号	参数	测试条件	最小值	典型值	最大值	单位
$V_{BOR-VDDIO-DN}^{(1)}$	斜降时的 VDDIO 欠压复位电压	XRSn 释放之后	2.81		3.00	V
$V_{POR-VDD-UP}^{(2)}$	斜升时的 VDD 上电复位电压	XRSn 释放之前		0.72		V
$V_{POR-VDD-DN}^{(2)}$	斜降时的 VDD 上电复位电压	XRSn 释放之后		0.72		V
$V_{XRSn-PU-DELAY}^{(3)}$	上电期间电源斜升后的 XRSn 释放延迟	这是最后的延迟		248		μs
$V_{XRSn-PD-DELAY}^{(4)}$	断电期间电源斜降后的 XRSn 跳闸延迟			26		μs
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 监视器 (POR、BOR) 路径中的总延迟			318		μs
$V_{XRSn-MON-RELEASE-DELAY}$	VDD POR 事件之后的 XRSn 释放延迟	电源处于工作范围内		248		μs
	VDDIO BOR 之后的 XRSn 释放延迟			586		μs
	VDDIO POR 事件之后的 XRSn 释放延迟			509		μs

注意:

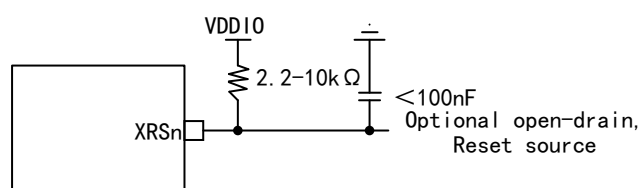
- (1) 请参阅“电源电压”图。
- (2) $V_{POR-VDD}$ 不受支持，它设置为在低于建议运行条件的电平跳闸。如果需要监视 VDD，则需要一个外部监控器。
- (3) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前，需要释放所有 POR 和 BOR 监视器。RC 网络延迟将与该延迟相加。
- (4) 断电时，任何跳闸的 POR 或 BOR 监视器都会立即使 XRSn 跳闸。该延迟是任何 POR、BOR 监视器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量，取决于电源的斜降速率。RC 网络延迟将与该延迟相加。
- (5) 这是内部 VREG 导通时在 VDDIO 电源轨上汲取的瞬态电流。因此，当 VREG 导通时，VDDIO 电源轨上可能会出现一些压降，这可能导致 VREG 逐步斜升。这不会对器件产生不利影响，但如果需要，可以通过在 VDDIO 上使用足够的去耦电容器或选择能够提供此瞬态电流的 LDO 来降低影响。

5.8.2. 复位时序

XRSn 用作芯片的复位引脚。上电时芯片内置的 POR 电路会将 XRSn 引脚拉低，看门狗 (WWDT、NMIWDT) 复位也会拉低引脚，外部电路可能驱动引脚使器件复位生效。

推荐在 XRSn 和 VDDIO 之间放置一个阻值为 2.2k Ω 至 10k Ω 的电阻；在 XRSn 和 VSS 之间放置一个小于 100nF 的电容器进行噪声滤除。当看门狗复位生效时，这些值允许看门狗在 810 个 OSCCLK 周期内正确地驱动 XRSn 引脚至 VOL。图 7-12 显示了推荐的复位电路。

图 16 复位电路



5.8.2.1. 复位源

表格 55 复位信号

复位源	CPU 内核复位 (CPU、FPU、VCU)	外设复位	JTAG/调试逻辑复位	I/O	XRSn 输出
POR	是	是	是	高阻态	是
XRSn 引脚	是	是	否	高阻态	-
WDRS	是	是	否	高阻态	是
NMIWDRS	是	是	否	高阻态	是
SYSRS (调试器复位)	是	是	否	高阻态	否
SCCRESET	是	是	否	高阻态	否

注意:

- (1) 参数 t_h (boot-mode) 必须考虑从这些来源启动的复位。
- (2) 有些复位源由器件内部驱动。其中一些源会将 XRSn 驱动为低电平，用于禁用驱动引脚的任何其他器件。SCCRESET 和调试器复位源不会驱动 XRSn；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置允许更改 OTP 中的引导引脚。

5.8.2.2. 复位电气数据和时序

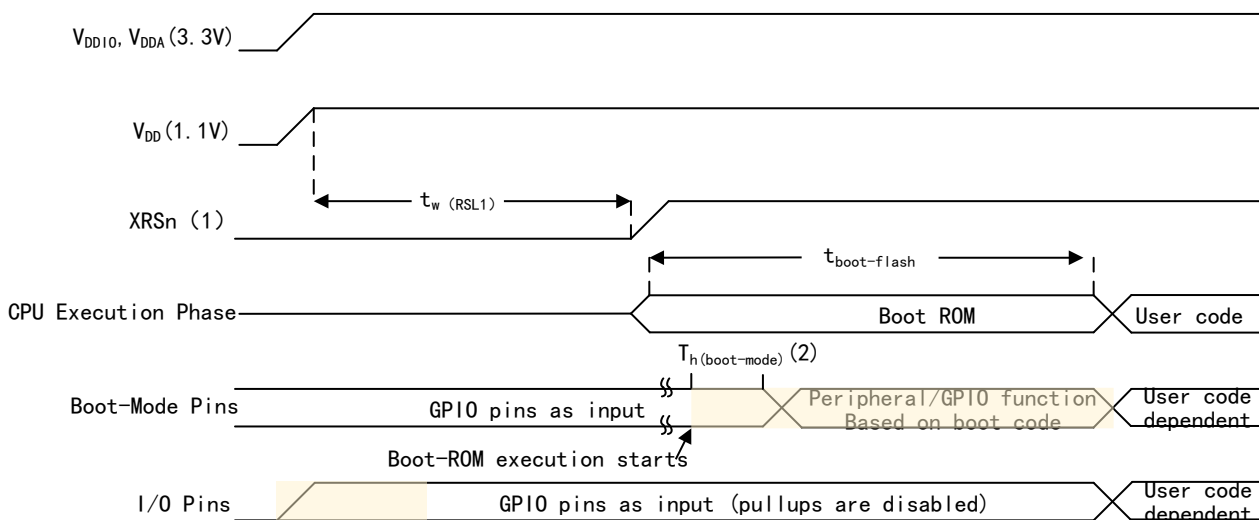
表格 56 复位 (XRSn) 时序要求

符号	参数	条件	最小值	最大值	单位
t_h (引导模式)	引导模式引脚的保持时间		1.5		ms
t_w (RSL2)	脉冲持续时间，热复位时 XRSn 处于低电平	所有情况	74		μs
		应用中使用的低功耗模式，并且 $SYSCLKDIV > 16$	3.2* ($SYSCLKDIV/16$)		

表格 57 复位 (XRSn) 开关特性

符号	参数	条件	最小值	典型值	最大值	单位
t_w (RSL1)	脉冲持续时间	XRSn 在电源稳定后由器件驱动为低电平		241		μs
t_w (WDRS)	脉冲持续时间	由看门狗生成的复位脉冲		810tc (OSCCLK)		周期
$t_{boot-flash}$	在 Flash 中第一次取指令之前的引导 ROM 执行时间				900	μs

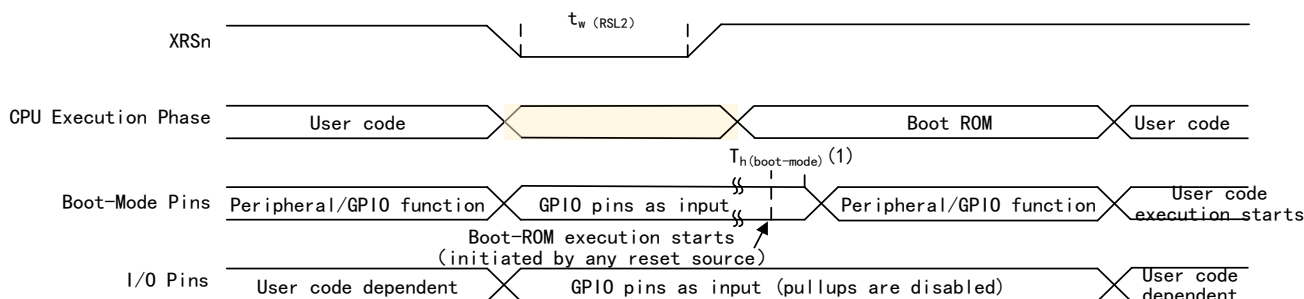
图 17 上电复位



注意: SYSCLK 将基于用户环境, 可以启用或不启用 PLL。

- (1) XRSn 引脚可以由监控器或外部上拉电阻从外部驱动, 请参阅“引脚属性”章节。片上 POR 逻辑将保持该引脚为低电平直到电源处于有效范围内。
- (2) 从任何源复位后 (参阅复位源), 引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态, 引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后 (在调试程序环境中) 执行, 则引导代码执行时间基于当前的 SYSCLK 速度。

图 18 热复位



注意: SYSCLK 将基于用户环境, 可以启用或不启用 PLL。

- (1) 从任何源复位后 (参阅复位源), 引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态, 引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后 (在调试程序环境中) 执行, 则引导代码执行时间基于当前的 SYSCLK 速度。

5.8.3. 时钟规格

5.8.3.1. 时钟源

表格 58 可能的基准时钟源

时钟源	模块已计时	注释
INTOSC1	可用于为以下模块提供时钟: 看门狗模块 主 PLL	内部振荡器 1 零引脚开销 10MHz 内部振荡器

时钟源	模块已计时	注释
	CPU 计时器 2	
INTOSC2 ⁽¹⁾	可用于为以下模块提供时钟： 主 PLL CPU 计时器 2	内部振荡器 2 零引脚开销 10MHz 内部振荡器
X1 (XTAL)	可用于为以下模块提供时钟： 主 PLL CPU 计时器 2	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。

注意:

(1) 复位时，内部振荡器 2 (INTOSC2) 为系统 PLL (OSCCLK) 的默认时钟源。

图 19 时钟源

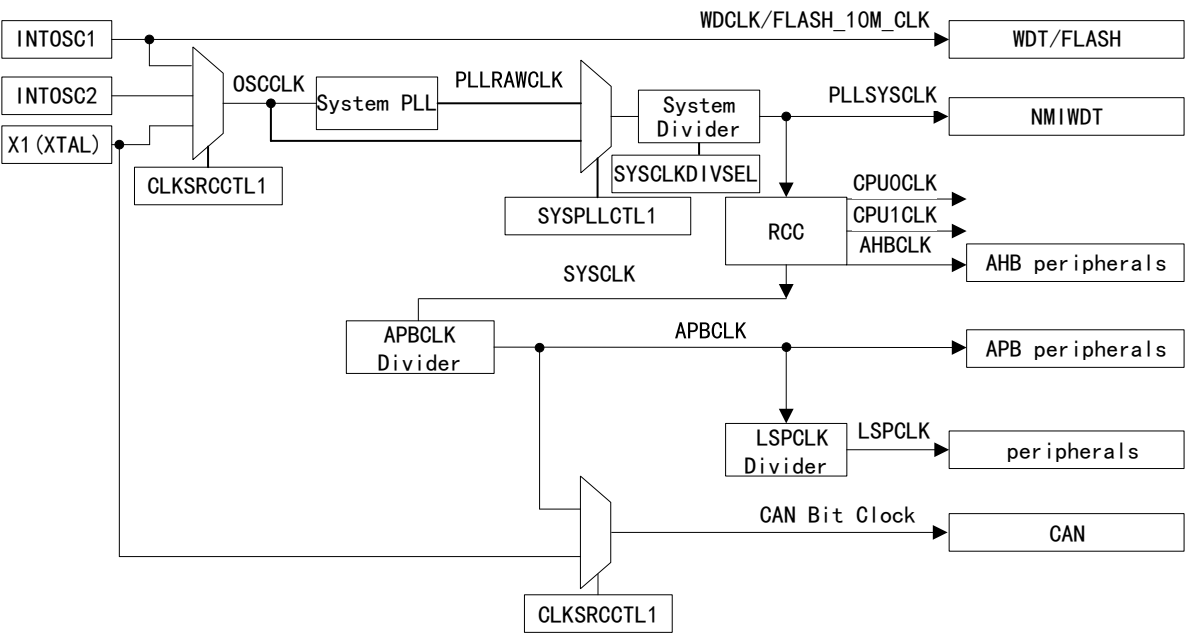
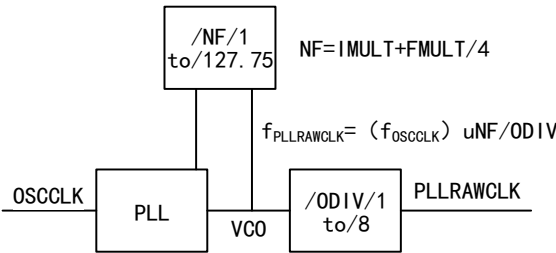


图 20 系统 PLL



5.8.3.2. 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

5.8.3.2.1. 输入时钟频率和时序要求, PLL 锁定时间

表格 59 输入时钟频率

符号	参数	最小值	最大值	单位
$f_{(XTAL)}$	频率, X1/X2, 来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率, X1, 来自外部振荡器	2	20	MHz

表格 60 XTAL 振荡器特征

符号	参数	最小值	典型值	最大值	单位
X1 VIL	有效低电平输入电压	-0.3		$0.3 * VDDIO$	V
X1 VIH	有效高电平输入电压	$0.7 * VDDIO$		$VDDIO + 0.3$	V

表格 61 X1 时序要求

符号	参数	最小值	最大值	单位
$t_{f(X1)}$	下降时间, X1		9	ns
$t_{r(X1)}$	上升时间, X1		12	ns
$t_{w(X1L)}$	脉冲持续时间, X1 低电平占 $t_{c(X1)}$ 的百分比	45%	55%	
$t_{w(X1H)}$	脉冲持续时间, X1 高电平占 $t_{c(X1)}$ 的百分比	45%	55%	

表格 62 PLL 锁定时间

符号	参数	最小值	典型值	最大值	单位
$t_{(PLL)}$	锁定时间, 主 PLL		$23.2\mu s + 1024 * t_{c(OSCCLK)}$		μs

5.8.3.2.2. 内部时钟频率

表格 63 内部时钟频率

符号	参数	最小值	典型值	最大值	单位
$f_{(SYSCLK)}$	频率, 器件 (系统) 时钟	2		250	MHz
$t_{c(SYSCLK)}$	周期, 器件 (系统) 时钟	4		500	ns
$f_{(VCO)}$	频率, PLL VCO (在输出分频器之前)	120		600	MHz
$f_{(PLLRAWCLK)}$	频率, 系统 PLL 输出 (在 SYSCLK 分频器之前)	15		250	MHz
$f_{(PLL)}$	频率, PLLSYSCLK	2		250	MHz
$f_{(APBCLK)}$	频率, APBCLK	2		125	MHz
$t_{c(APBCLK)}$	周期, APBCLK	8		500	ns
$f_{(LSP)}$	频率, LSPCLK	2		125	MHz
$t_{c(LSPCLK)}$	周期, LSPCLK	8		500	ns
$f_{(OSCCLK)}$	频率, OSCCLK (INTOSC1、INTOSC2、XTAL 或 X1)	参阅各自的时钟			MHz
$f_{(HRPWM)}$	频率, HRPWMCLK	60		125	MHz

5.8.3.2.3. 输出时钟频率和开关特性

表格 64 XCLKOUT 开关特性

符号	参数 ⁽¹⁾	最小值	最大值	单位
$t_f(XCO)$	下降时间, XCLKOUT		5	ns
$t_r(XCO)$	上升时间, XCLKOUT		5	ns
$t_w(XCOL)$	脉冲持续时间, XCLKOUT 低电平	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$t_w(XCOH)$	脉冲持续时间, XCLKOUT 高电平	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$f(XCO)$	频率, XCLKOUT		50	MHz

注意:

(1) 假定这些参数有 40pF 的负载。

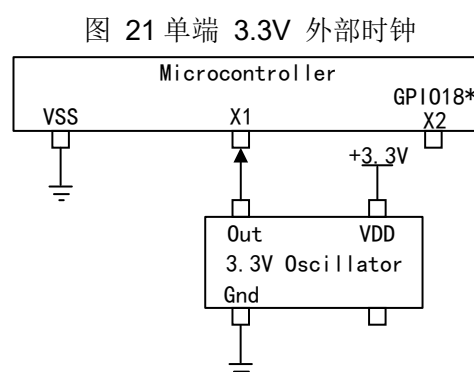
(2) $H = 0.5t_c(XCO)$

5.8.3.3. 输入时钟

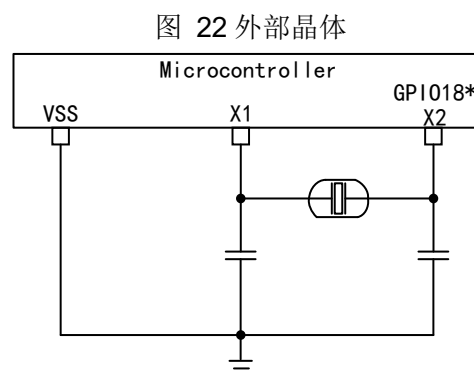
GPIO18*及其多路复用器选项只能在系统由 INTOSC 计时且 X1 具有外部下拉电阻时使用。

除了内部 0 引脚振荡器外, 还支持三种类型的外部时钟源:

(1) 单端 3.3V 外部时钟。时钟信号应连接到 X1, 且 XTALCR.SE 位设置为 1。

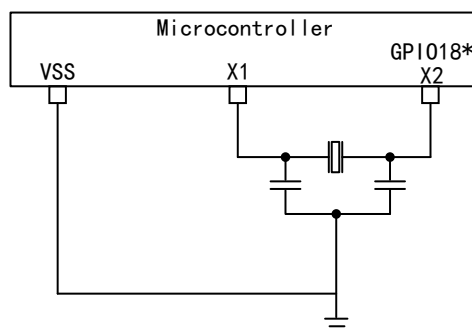


(2) 外部晶体。晶体应连接在 X1 和 X2 之间, 其负载电容器连接至 VSS。



(3) 外部谐振器。谐振器应连接在 X1 和 X2 之间, 且其接地端连接至 VSS。

图 23 外部谐振器



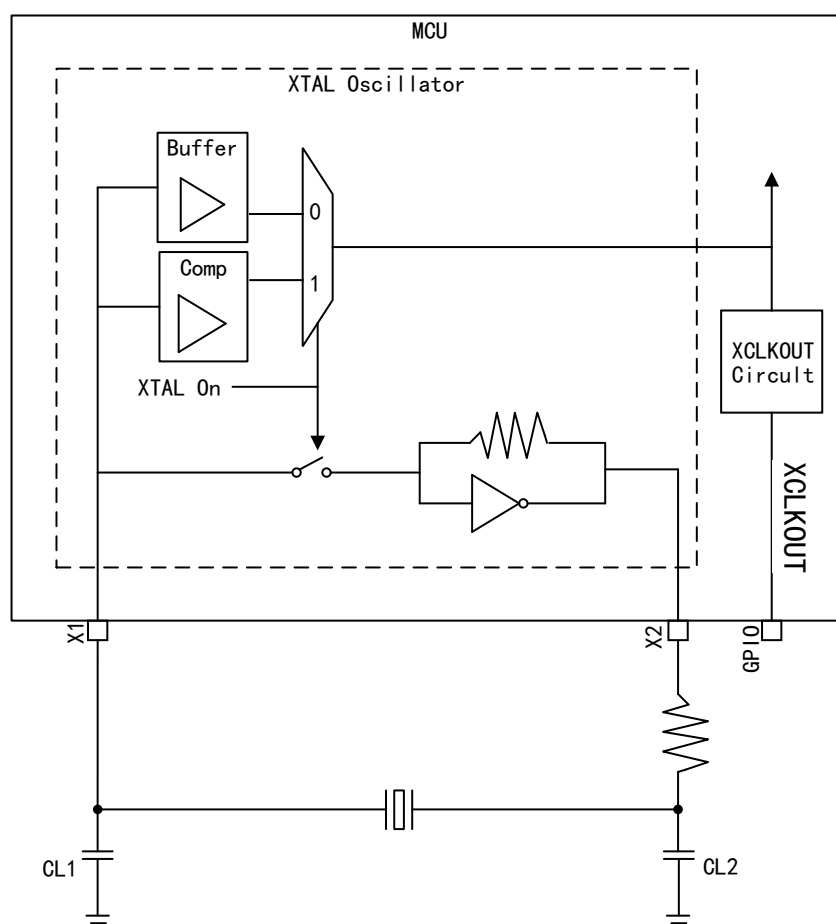
5.8.3.4. 晶体（XTAL）振荡器

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶振或陶瓷晶振配对使用时，可生成器件所需的系统时钟。

5.8.3.4.1. 电子振荡器

该器件中的电子振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器（C0）和所需的负载电容器（CL），振荡器被设计成在并联谐振模式下运行。下图所示为电子振荡器和振荡电路的元件。

图 24 电子振荡器结构框图



运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

(1) 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻，如果添加外部偏置电阻会产生与内部偏置电阻并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低，因此不应使用外部偏置电阻。

在此工作模式下，X1 上的结果时钟通过比较器传递到芯片的其余模块。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 XTAL 振荡器特性表。

(2) 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR[OSCOFF] = 1 和 XTALCR[SE] = 1 来实现。

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer) 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅使用外部时钟源 (非晶体) 时的 X1 输入电平特征表。

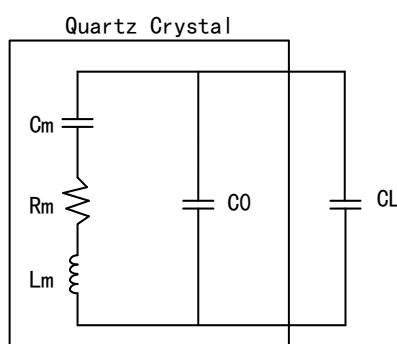
XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅“GPIO 多路复用引脚”表。

5.8.3.4.2. 石英晶体

石英晶体可以由 LCR (电感- 电容- 电阻) 电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。

图 25 晶体电气表示



注意：

- (1) Cm (动态电容)：表示晶体的弹性。
- (2) Rm (动态电阻)：表示晶体内的电阻损耗。这不是晶体的等效电阻，但可以根据其他晶体元件的值进行近似计算。
- (3) Lm (动态电感)：表示晶体的振动质量。

(4) **C0 (并联电容)**：由两个晶体电极和杂散封装电容形成的电容。

(5) **CL (负载电容)**：这是晶体在其电极处看到的有效电容。它位于晶体外部，用作晶体频率牵引。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

有关 CL 数值的制定含义请咨询相应的晶振生产商，以便在计算中使用正确的值。

CL1 和 CL2 是串联的；因此，要找到晶体的等效总电容，必须应用电容串联公式。建议将杂散 PCB 电容与该值相加。

注意：电振荡器和晶体都需要负载电容，所选容值必须同时满足电振荡器和晶振的要求。

5.8.3.4.3. GPIO 工作模式

在此器件上，X2 可用作 GPIO18，具体取决于 XTAL 的工作模式。

5.8.3.4.4. 正常运行

ESR — 有效串联电阻

等效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，电容器的品质越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm * (1 + \frac{C0}{CL})^2$$

注意：ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容，则可以按此近似计算。

Rneg (负电阻)

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，建议 Rneg 大于 3 倍至 5 倍的 ESR。

负电阻变化曲线为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请参阅“晶振等效串联电阻 (ESR) 要求”表了解设计中需要注意的最小值和最大值。

启动时间

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。如果启动时间较长，表明晶体和元件未正确匹配。

请参阅晶体振荡器规格了解启动时间。实际启动时间还取决于所涉及的晶体和外部元件。

DL (驱动电平)

驱动电平是指电子振荡器提供以及晶体耗散的功率量。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。阻尼电阻 Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

5.8.3.4.5. 如何选择晶体

请参考晶体振荡器规格：

- (1) 选择一个晶体频率（例如 20MHz）。
- (2) 确认晶体的 $ESR \leq 50\Omega$,符合 20MHz 的规格。
- (3) 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
 - CL1 和 CL2 是串联的；因此，如果 $CL1 = CL2$ ，则有效负载电容 $CL = [CL1]/2$ 。
 - 在此基础上加上电路板寄生效应会得到 $CL = [CL1]/2 + \text{杂散电容}$ 。
- (4) 确认晶体的最大驱动电平 $\geq 1mW$ 。如果不满足此要求，则可以使用阻尼电阻 R_d 。请参阅 DL—驱动电平了解使用 R_d 时要考虑的其他要点。

5.8.3.4.6. 测试

有关晶体谐振器的详细参数，请咨询相应的生产厂商。

下面列举部分参数测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用电容小于 1pF 的有源探针。

- 频率

- (1) 在 XCLKOUT 上引出 XTAL
- (2) 测量该频率作为晶体频率

- 负电阻

- (1) 在 XCLKOUT 上引出 XTAL
- (2) 在负载电容器之间放置一个与晶体串联的电位器
- (3) 增加电位器的电阻，直到 XCLKOUT 上的时钟停止
- (4) 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻

- 启动时间

- (1) 关闭 XTAL
- (2) 在 XCLKOUT 上引出 XTAL
- (3) 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间

5.8.3.4.7. 常见问题和调试提示

- (1) 晶体无法启动
 - 浏览如何选择晶体部分，确保没有违规。
- (2) 晶体需要很长时间才能启动
 - 如果安装了阻尼电阻 R_d ，则其过高。
 - 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

5.8.3.4.8. 晶体振荡器规格

表格 65 晶体振荡器参数

符号	参数	最小值	最大值	单位
CL1、CL2	负载电容	12	24	pF
C0	晶振并联电容		7	pF

表格 66 晶振等效串联电阻（ESR）要求

晶体频率（MHz）	最大 ESR（Ω） （CL1 = CL2 = 12pF）	最大 ESR（Ω） （CL1 = CL2 = 24pF）
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

注意：

- （1）晶振并联电容 C0 应小于或等于 7pF。
- （2）ESR = 负电阻/3

表格 67 晶体振荡器电气特性

参数	测试条件	最小值	典型值	最大值	单位
启动时间 ⁽¹⁾	f = 10MHz ESR 最大值 = 110Ω CL1 = CL2 = 24pF C0 = 7pF		8		ms
	f = 20 MHz ESR 最大值 = 50Ω CL1 = CL2 = 24pF C0 = 7pF		8		ms
晶振驱动电平（DL）				1	mW

注意：

- （1）启动时间取决于晶体和振荡电路元件。

5.8.3.5. 内部振荡器

为了减少电路板生产成本和缩短应用开发时间，器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，两个振荡器都在上电时启用。INTOSC2 设置为系统参考时钟（OSCCLK）源，INTOSC1 设置为备用时钟源。INTOSC1 也可以手动配置为系统参考时钟（OSCCLK）。下表提供了内部振荡器的电气特征以确定该模块是否符合应用的计时要求。

表格 68 INTOSC 特性

符号	参数	测试条件	最小值	典型值	最大值	单位
----	----	------	-----	-----	-----	----

f_{INTOSC}	频率, INTOSC1 和 INTOSC2		9.7	10	10.3	MHz
$f_{\text{INTOSC-STABILITY}}$	室温下的频率稳定性	30°C, 标称 VDD		$\pm 0.1\%$		
	VDD 上的频率稳定性	30°C		$\pm 0.2\%$		
	频率稳定性		-3%		3%	
$t_{\text{INTOSC-ST}}$	启动和趋稳时间			15		μs

5.8.3.6. PLL

表格 69 PLL 功耗和漏电流

模式	条件	最小值	典型值	最大值	单位
正常	0.9v、1v、1.1v 全工艺角 -40°C、30°C、125°C	1.2	2	3	mA
关断			5	15	μA

表格 70 PLL 特性

参数	说明	最小值	典型值	最大值	单位
f_{ref}	参考频率	2	10	20	MHz
N_{PLL}	反馈分频比	1		127.75	
S_{fra}	小数步进		0.25		
$N_{\text{PLL_OUT}}$	输出分频比	1		8	
T_{PLL}	锁定时间	$25.5\mu\text{s} + 1024 \cdot t_{\text{c}} (\text{oscclk})$			μs
F_{VCO}	VCO 频率	120		600	MHz
f_{out}	PLL 输出频率	15		300	MHz

5.8.4. Flash 参数

表格 71 不同系统频率下所需的最低 Flash 等待周期 (FRDCNTL[RWAIT])

系统频率	RWAIT ⁽¹⁾
$0 < f \leq 36\text{MHz}$	0
$36 < f \leq 72\text{MHz}$	1
$72 < f \leq 108\text{MHz}$	2
$108 < f \leq 144\text{MHz}$	3
$144 < f \leq 180\text{MHz}$	4
$180 < f \leq 216\text{MHz}$	5
$216 < f \leq 250\text{MHz}$	6

注意:

- (1) 升高系统频率时, 现将 RWAIT 配置到目标频率范围内, 然后再配置系统频率升高。降低系统频率时, 先配置系统频率将时钟降低, 然后再将 RWAIT 配置到目标频率范围内。

表格 72Flash 参数

符号	参数	最小值	典型值	最大值	单位
tpgh	编程等待时间	20			ns
tprog	编程时间 (128-bit)		128		µs
tme	Mass 擦除时间	20		150	ms
耐久性	Program/Erase 循环次数 (读写寿命)		10 K		周期
	读取周期时间			25	ns
	tretention 数据保持持续时间 (T _J = 125°C)	10			年

注意：建议运行条件为 T_A = -40°C~105°C (车规系列型号 T_A = -40°C~125°C)，V_{DD} = 1.0V~1.2V，V_{DDIO} = 2.8V~3.63V，V_{SS} = 0V，C_{LOAD} = 0.01pf

5.8.5. 调试与仿真

G32R501 系列提供了丰富的调试、跟踪和测试功能。它们采用标准的 Arm® CoreSight™ 模块配置，并通过菊花链标准 TAP 控制器实现连接。调试和跟踪功能集成在 Arm® Cortex®-M52 中。调试系统支持串行线调试 (SWD) 和跟踪功能，除了标准的 JTAG 调试之外。调试和跟踪功能参考以下文档：《Arm China 处理器技术参考手册》。

JTAG (IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构) 端口有四个专用引脚：TMS、TDI、TDO 和 TCK。cJTAG (针对简化引脚和增强功能测试访问端口以及边界扫描架构的 IEEE 标准 1149.7-2009) 端口，是一个只需要两个引脚 (TMS 和 TCK) 的紧凑型 JTAG 接口，此接口可实现多路复用为传统 GPIO35 (TDI) 和 GPIO37 (TDO) 引脚的其他器件功能。

通常情况下，MCU 目标和 JTAG 接头之间的距离建议不超过 15cm，并且 JTAG 链上没有其他器件时，JTAG 信号上不需要缓冲器。否则，每个信号都应被缓冲。此外，对于大多数 10MHz 下的 JTAG 调试探针操作，JTAG 信号上不需要串联电阻器。但是，如果需要高仿真速度 (35MHz 左右)，则应在每个 JTAG 信号上串联 22Ω 电阻。

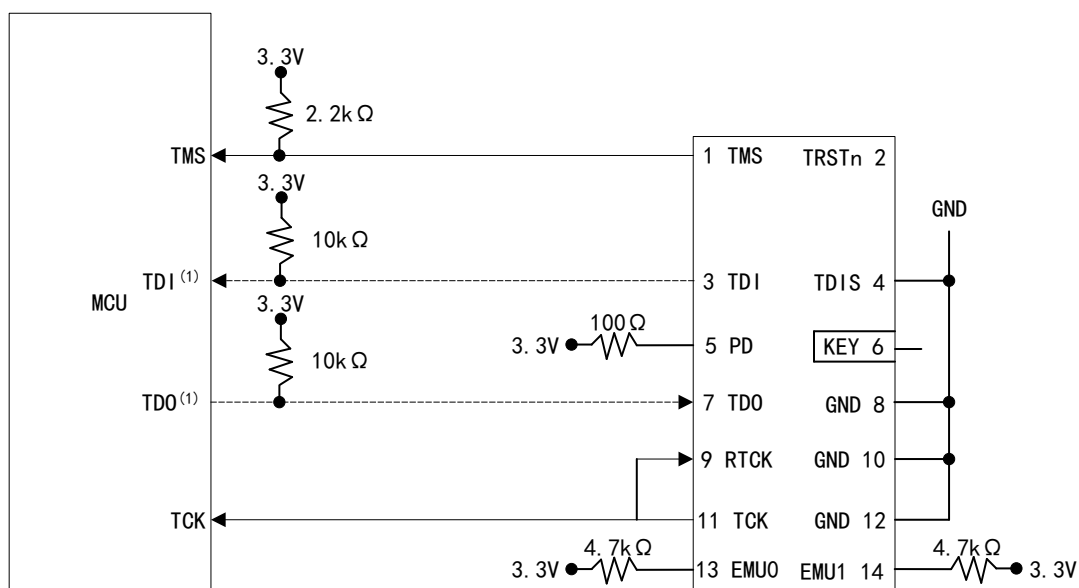
JTAG 调试探针头的 PD (电源检测) 端子应连接到电路板 3.3V 电源。接头 GND 终端应连接至电路板接地。TDIS (电缆断开感应) 也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出终端环回到接头的 RTCK 输入终端 (以通过 JTAG 调试探针检测时钟连续性)。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对 2.2kΩ 至 4.7kΩ (取决于调试器端口的驱动强度) 的板载上拉电阻在仿真接头处上拉。通常使用 2.2kΩ 的阻值。

接头终端复位是 JTAG 调试探针接头的开漏输出，通过 JTAG 调试探针命令使电路板元件复位 (仅通过 20 引脚接头可用)。

JTAG 测试数据输入 (TDI) 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。如果此引脚被用作 JTAG TDI，应该启用内部上拉电阻器或在电路板上增加一个外部上拉电阻器来避免悬空输入。在 cJTAG 选项中，此引脚可用作 GPIO。

JTAG 测试数据输出 (TDO) 是引脚的默认多路复用器选择。默认情况下，内部上拉处于禁用状态。当没有 JTAG 活动时，TDO 函数将处于三态条件，使此引脚悬空。应启用内部上拉或在电路板上添加外部上拉，以避免 GPIO 输入悬空。在 cJTAG 选项中，此引脚可用作 GPIO。

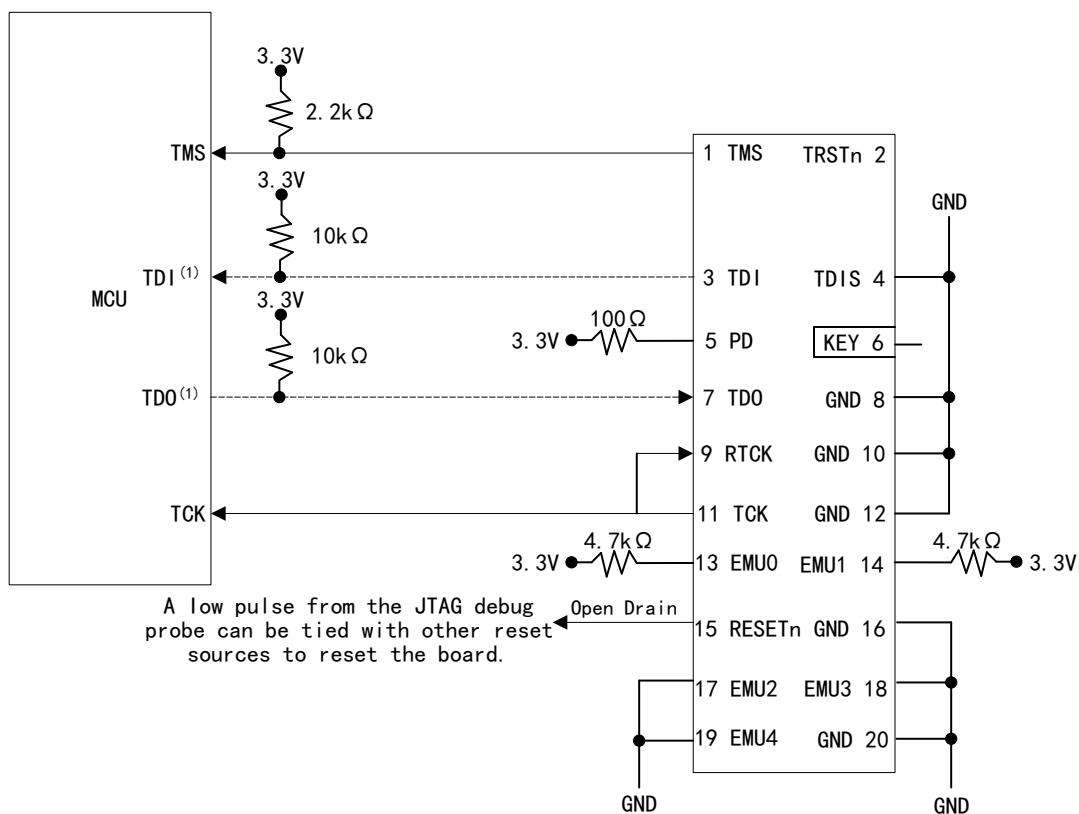
图 26 连接到 14 引脚 JTAG 接头



注意:

(1) α JTAG 选项不需要 TDI 和 TDO 连接, 这些引脚可用作 GPIO。

图 27 连接到 20 引脚 JTAG 接头



注意:

(1) cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

5.8.5.1. JTAG 电气数据和时序

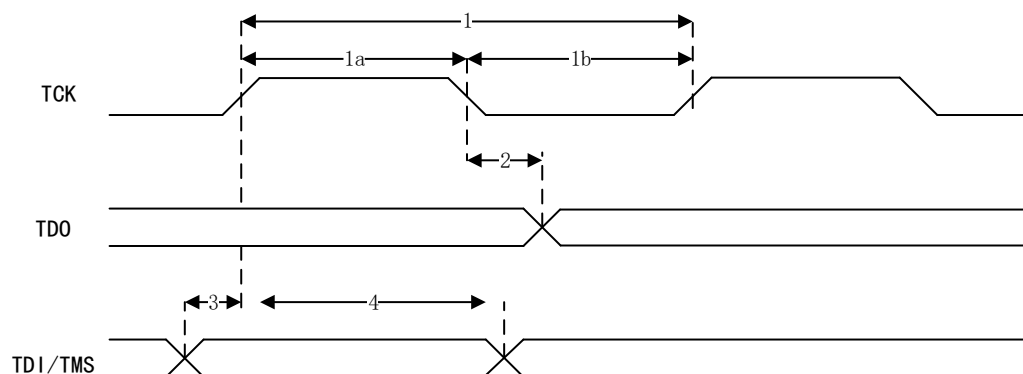
表格 73 JTAG 时序要求

编号	符号	参数	最小值	最大值	单位
1	t_c (TCK)	周期时间, TCK	66.66		ns
1a	t_w (TCKH)	脉冲持续时间, TCK 高电平 (t_c 的40%)	26.66		ns
1b	t_w (TCKL)	脉冲持续时间, TCK 低电平 (t_c 的40%)	26.66		ns
3	t_{su} (TDI-TCKH)	TDI 有效至 TCK 高电平的输入设置时间	13		ns
	t_{su} (TMS-TCKH)	TMS 有效至 TCK 高电平的输入设置时间	13		
4	t_h (TCKH-TDI)	从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
	t_h (TCKH-TMS)	从 TCK 高电平至 TMS 有效的输入保持时间	7		

表格 74 JTAG 开关特征

编号	符号	参数	最小值	最大值	单位
2	t_d (TCKL-TDO)	TCK 低电平到 TDO 有效的延迟时间	6	25	ns

图 28 JTAG 时序



5.8.5.2. cJTAG 电气数据和时序

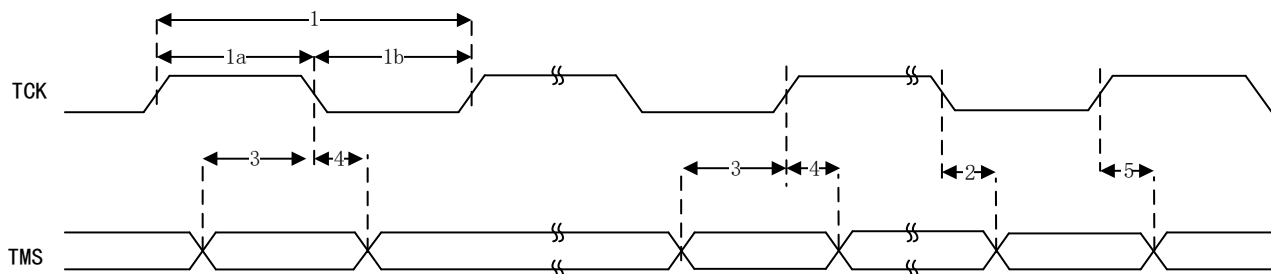
表格 75 cJTAG 时序要求

编号	符号	参数	最小值	最大值	单位
1	t_c (TCK)	周期时间, TCK	100		ns
1a	t_w (TCKH)	脉冲持续时间, TCK 高电平 (t_c 的40%)	40		ns
1b	t_w (TCKL)	脉冲持续时间, TCK 低电平 (t_c 的40%)	40		ns
3	t_{su} (TMS-TCKH)	TMS 有效至 TCK 高电平的输入设置时间	15		ns
	t_{su} (TMS-TCKL)	输入设置时间, TMS 有效至 TCK 低电平	15		ns
4	t_h (TCKH-TMS)	从 CK 高电平至 TMS 有效的输入保持时间	2		ns
	t_h (TCKL-TMS)	输入保持时间, 从 TCK 低电平至 TMS 有效	2		ns

表格 76 cJTAG 开关特性

编号	符号	参数	最小值	最大值	单位
2	t_d (TCKL-TMS)	延迟时间, TCK 低电平到 TMS 有效的时间	6	20	ns
5	t_{dis} (TCKH-TMS)	延迟时间, TCK 高电平到 TMS 禁用的时间		20	ns

图 29 cJTAG 时序图



5.8.6. GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时, GPIO 引脚配置为输入。对于特定的输入, 用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

GPIO 模块包含输出 X-BAR, 其允许将各种内部信号路由到 GPIO 多路复用器位置中的 GPIO 上, 并表示为 OUTPUTXBARx。GPIO 模块还包含输入 X-BAR, 用于将来自任何 GPIO 输入的信号路由到不同的 IP 块, 例如 ADC、CAP、PWM 和外部中断。

5.8.6.1. GPIO 输出时序

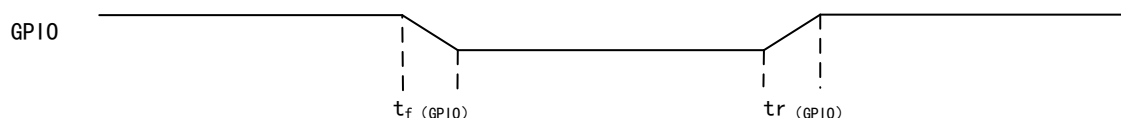
表格 77 通用输出开关特征

符号	参数	最小值	最大值	单位
t_r (GPIO)	上升时间, GPIO 从低电平切换至高电平		8 (1)	ns
t_f (GPIO)	下降时间, GPIO 从高电平切换至低电平		8 (1)	ns
f_{GPIO}	切换频率		60	MHz

注意:

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 40pF。

图 30 通用输出时序



5.8.6.2. GPIO 输入时序

表格 78 通用输入时序要求

符号	参数	条件	最小值	最大值	单位
t_w (SP)	采样周期	QUALPRD=0	$1t_c$ (SYSCLK)		周期
		QUALPRD≠0	$2t_c$ (SYSCLK) * QUALPRD		

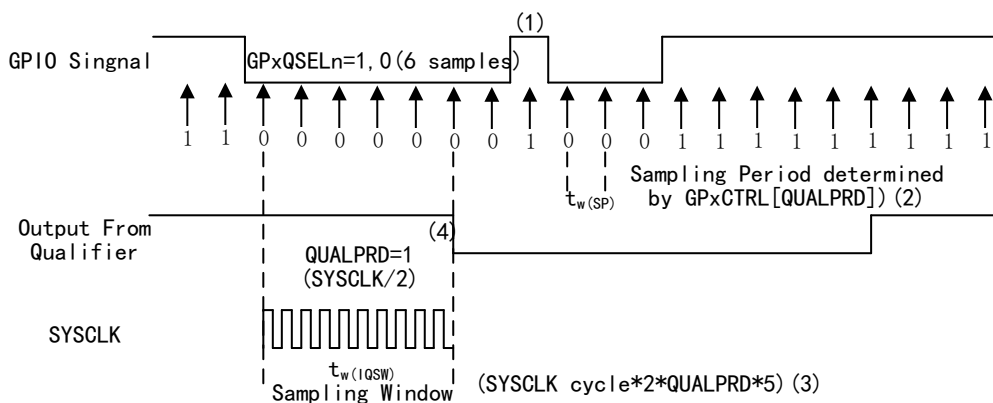
$t_{w(IQSW)}$	输入限定采样窗口		$t_{w(SP)} * (n^{(1)} - 1)$		周期
$t_{w(GPIO)}^{(2)}$	脉冲持续时间, GPIO 低电平/高电平	同步模式	$2t_{c(SYCLK)}$		周期
		带输入限定	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYCLK)}$		

注意:

(1) “n”代表由 GPxQSELn 寄存器定义的滤波采样的数量。

(2) 对于 $t_{w(GPIO)}$, 对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽, 而高电平有效信号, 在 V_{IH} 至 V_{IH} 之间测量脉宽。

图 31 采样模式



注意:

(1) 输入滤波将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00, 那么采样周期为 1 个 SYSCLK 周期。对于任何其他的“n”值, 限定采样周期为 2n SYSCLK 周期 (也就是说, 在每 2n 个 SYSCLK 周期上, GPIO 引脚将被采样)。

(2) 通过 GPxCTRL 寄存器选择的限定周期会应用于包含 8 个 GPIO 引脚的组。

(3) 此滤波可取 3 个或者 6 个采样值。GPxQSELn 寄存器选择使用哪种采样模式。

(4) 在所示的示例中, 为了使限定窗口检测到变化, 输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说, 输入应该在 $(5 \times QUALPRD \times 2)$ 个 SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的, 因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

5.8.6.3. 输入信号的采样窗口宽度

输入信号的采样频率表示一个信号相对于 SYSCLK 的采样频率, 如下所示。

- 如果 $QUALPRD \neq 0$, 采样频率 = $SYSCLK / (2 \times QUALPRD)$
- 如果 $QUALPRD = 0$, 则采样频率 = $SYSCLK$

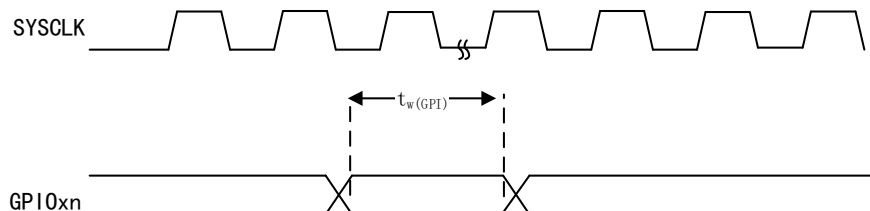
在给定的采样窗口中, 采取输入信号的 3 个或者 6 个采样值来确定信号的有效性, 这是由写入到 GPxQSELn 寄存器的值确定的。查阅上一小节通用输入时序要求, 不同模式的采样窗口宽度计算如下。此处 $t_{c(SYCLK)}$ 表示 SYSCLK 的时间周期。

以下有两种模式:

- (1) 当使用 3 个采样值进行滤波时

- 如果 $QUALPRD \neq 0$ ，则采样窗口宽度 $= 2t_{c(SYSCLK)} * QUALPRD * 2$
 - 如果 $QUALPRD = 0$ ，则采样窗口宽度 $= t_{c(SYSCLK)} * 2$
- (2) 当使用 6 个采样值进行滤波
- 如果 $QUALPRD \neq 0$ ，则采样窗口宽度 $= 2t_{c(SYSCLK)} * QUALPRD * 5$
 - 如果 $QUALPRD = 0$ ，则采样窗口宽度 $= t_{c(SYSCLK)} * 5$

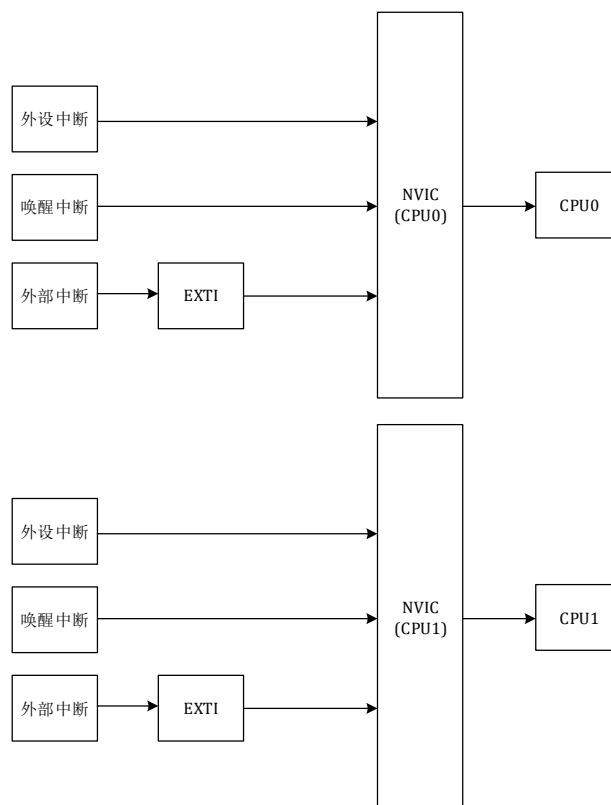
图 32 通用输入时序



5.8.7. 中断 (NVIC 和 EXTI)

器件的 CPU0 和 CPU1 使用的中断序号最大可支持中断线为 226，所有中断都是经过 NVIC 给到 CPU，该系统提供外部中断 (GPIO/INPUT_XBAR) 和外设中断 (COMP) 共 16 个。

图 33 器件中断架构 (EXTI)



5.8.7.1. 外部中断 (EXTI) 电气数据和时序

表格 79 外部中断时序要求

符号	参数	条件	最小值	最大值	单位
$t_w(INT)$	脉冲持续时间, INT 输入低电平/高电平	同步 ⁽¹⁾	$2t_{c(SYSCLK)}$		周期

		带限定器 (2)	$t_w(IQSW) + t_w(SP) + 1t_c(SYSCLK)$		
--	--	-------------	--------------------------------------	--	--

注意:

- (1) EXTI 的 INPUT_XBAR 相关的外部输入有同步或异步功能, GPIO 和 COMP 给到 EXTI 的信号都只支持异步触发。
- (2) 有关输入限定参数的说明, 请参阅“通用输入时序要求”表。

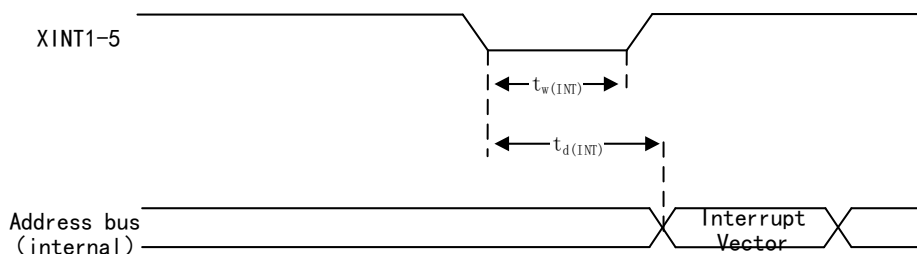
表格 80 外部中断开关特性

参数 (1)			最小值	最大值	单位
$t_d(INT)$	延时时间, INT 低电平/ 高电平到中断矢量提取的 时间 (2)	中断信号置起后地址线出现中断向量的最 小值 (3)	$t_w(IQSW) + 6t_c(SYSCLK)$		周期
		中断信号置起后执行中断服务程序的第一条 指令的最小值 (3)	$t_w(IQSW) + 18t_c(SYSCLK)$		周期

注意:

- (1) 有关输入限定参数的说明, 请参阅“通用输入时序要求”表。
- (2) 这是假设 ISR 是在单周期存储器中。
- (3) 该场景下取值没有等待延迟, 总线访问没有等待延迟, 没有其他中断的情况下测得。
- (4) 该器件 CPU 支持中断嵌套, 中断抢占等操作, 无法估计最大值, 表格给出当没有中断嵌套, 没有中断抢占, 没有总线等待的情况下的最小值作为参考。

图 34 外部中断时序



5.8.8. 低功耗模式

G32R501 支持停机 (HALT) 和空闲 (IDLE) 两种时钟门控低功耗模式。两种低功耗模式都是通过配置 LPMCR 寄存器并执行 WFI 或 WFE 指令进入。此外, 根据低功耗模式的不同, 需要相应的配置 CPU SCB 寄存器的 SLEEPDEEP 位。

表格 81 时钟门控低功耗模式

模块/时钟域	IDLE (空闲)	HALT (停机)
SYSCLK	活跃	门控
CPU0_CLK	门控	门控
CPU1_CLK	门控	门控
APBCLK	活跃	门控

模块/时钟域	IDLE（空闲）	HALT（停机）
WDTCLK	活跃	如果 CLKSRCTL1.WDHALTI = 0 则门控
PLL	上电	软件必须在进入 HALT 之前将锁相环断电。
INTOSC1	上电	如果 CLKSRCTL1.WDHALTI = 0 则下电
INTOSC2	上电	如果 CLKSRCTL1.WDHALTI = 0 则下电
XTAL ⁽¹⁾	上电	上电
FLASH ⁽²⁾	上电	上电

注意：

- （1）在任何 LPM 下，XTAL 不会由硬件断电。它可以通过软件将 XTALCR.OSCOFF 位设置为 1 来断电。
如果不需要 XTAL，可以在应用程序中的任何时间完成此操作。
- （2）在任何 LPM 下，Flash 模块不会由硬件断电。如果应用需要，可使用软件将其断电。

5.8.8.1. 低功耗模式唤醒时序

表格 82 空闲模式时序要求

符号	参数	条件	最小值	最大值	单位
$t_{W(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定器 ⁽¹⁾	$2t_c(SYSCLK)$		周期
		带输入限定器 ⁽¹⁾	$2t_c(SYSCLK) + t_{W(IQSW)}$		

注意：

- （1）有关输入限定参数的说明，请参阅“通用输入时序要求”表。

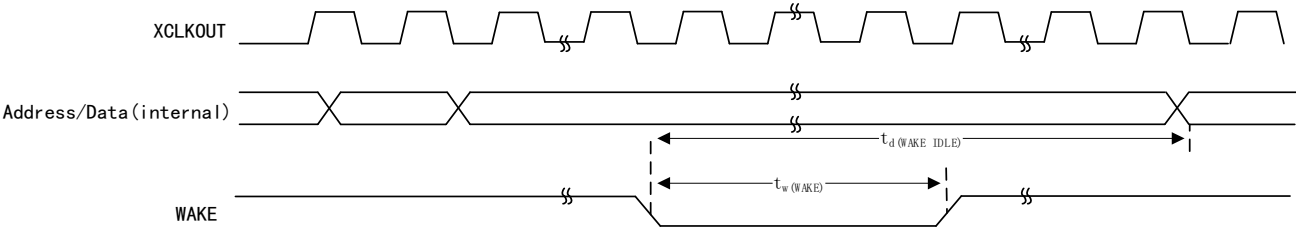
表格 83 空闲模式开关特性

符号	参数	测试条件	最小值	最大值	单位
$t_d(WAKE-IDLE)$	外部唤醒信号到程序恢复执行的延迟时间 ⁽¹⁾				周期
	从 Flash 唤醒 处于有效活动状态的 Flash 模块	无输入限定器 ⁽²⁾		$53t_c(SYSCLK)$	
		带输入限定器 ⁽²⁾		$53t_c(SYSCLK) + t_{W(WAKE)}$	
	从 RAM 唤醒	无输入限定器 ⁽²⁾		$39t_c(SYSCLK)$	
		带输入限定器 ⁽²⁾		$39t_c(SYSCLK) + t_{W(WAKE)}$	

注意：

- （1）这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行涉及额外延迟。
- （2）有关输入限定参数的说明，请参阅“通用输入时序要求”表。

图 35 空闲进入和退出时序图



表格 84 停机模式时序要求

符号	参数	最小值	最大值	单位
$t_w(\text{WAKE-GPIO})$	脉冲持续时间, GPIO 唤醒信号 ⁽¹⁾	$t_{\text{oscst}} + 2t_c(\text{OSCCLK})$		周期
$t_w(\text{WAKE-XRS})$	脉冲持续时间, XRSn 唤醒信号 ⁽¹⁾	$t_{\text{oscst}} + 8t_c(\text{OSCCLK})$		周期

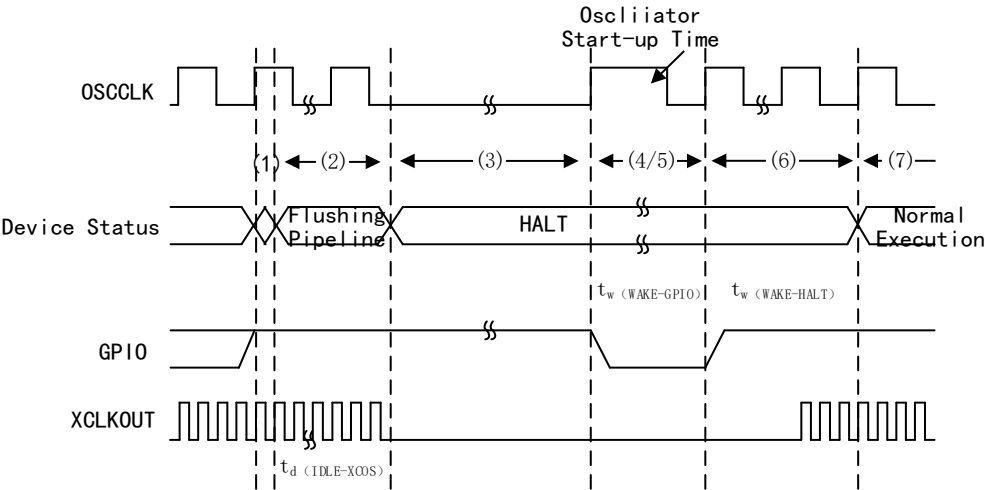
注意:

- (1) 如果使用 X1/X2 作为 OSCCLK, 请注意参考外部的电路提供特定的振荡器启动时间。注意事项请参考“晶体振荡器电气特性”。如果使用 INTOSC1 或 INTOSC2 作为 OSCCLK, 请参阅“内部振荡器”关于 t_{oscst} 的信息。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用, 因为它由器件外部供电。

表格 85 停机模式开关特征

符号	参数	条件	最小值	最大值	单位
$t_d(\text{IDLE-XCOS})$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间	-	-	$8t_c(\text{OSCCLK})$	周期
$t_d(\text{WAKE-HALT})$	外部唤醒信号结束到 CPU 程序执行重新开始的延迟时间	从 Flash 唤醒 激活状态中的 Flash 模块	-	$1300t_c(\text{OSCCLK})$	周期
		从 RAM 唤醒	-	$35t_c(\text{OSCCLK})$	

图 36 停机模式进入和退出时序图



注意:

- (1) 通过配置 LPMCR 寄存器并执行 WFI 或 WFE 指令进入停机模式。此外, 根据低功耗模式的不同, 需要相应的配置 CPU SCB 寄存器的 SLEEPDEEP 位。

- (2) LPM 块响应 HALT 信号，SYSCLK 在关闭之前最多保持 8 个 OSCCLK 时钟周期（实际进入 HALT 模式的周期还受到总线/FLASH 的影响，此周期数仅考虑其他部分均处于空闲状态的场景）。此延迟使 CPU 流水线和其他待处理的操作能够正确刷新。
- (3) 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于停机模式，并且功耗非常低。可以在停机模式中保持零引脚内部振荡器（INTOSC1 和 INTOSC2）以及看门狗处于活动中。为实现这一点，需要向 CLKSRCCTL1.WDHALTI 写入 1。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。
- (4) 当 GPIO_n 引脚（用于使器件脱离 HALT 模式）被驱动为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这使得在 PLL 锁序列期间提供洁净的时钟信号。由于 GPIO 引脚的下降沿会以异步方式开始唤醒过程，因此在进入停机模式之前和在此模式期间，应该注意保持低噪声环境。
- (5) 馈送到 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
- (6) 当内核的 CLKIN 已启用时，器件将在一些延迟后响应中断（如果已启用）。现在退出停机模式。
- (7) 恢复正常运行。
- (8) 用户必须在停机唤醒时重新锁定 PLL，以确保稳定的 PLL 锁定。

5.9. 模拟外设

芯片内部集成了高性能模拟单元，包括 12 位 ADC、温度传感器、DAC 和 COMP。这些模拟单元具有以下特性

5.9.1. 主要特征

ADC 的参考电压：

- ADC 以 VREFH_{ix} 和 VREFLO_x 引脚为参考
- 内部电压参考范围为 0V~3.3V 或 0V~2.5V
- VREFH_x 引脚电压由外部驱动或内部基准参考电压产生

DAC 的引脚参考：

- 缓冲 DAC 以 VREFH_{ix} 和 VSSA 为参考或者以 VDAC 引脚和 VSSA 为参考
- 比较器 DAC 以 VDDA 和 VSSA 为参考或者以 VDAC 引脚和 VSSA 为参考

引脚的多路复用功能：

- 内部连接到所有 ADC 上的 VREFLO，可用于偏置自校准
- 缓冲 DAC 输出，比较器输入和数字输入与 ADC 输入多路复用

图 37 模拟子系统框图（100-pin）

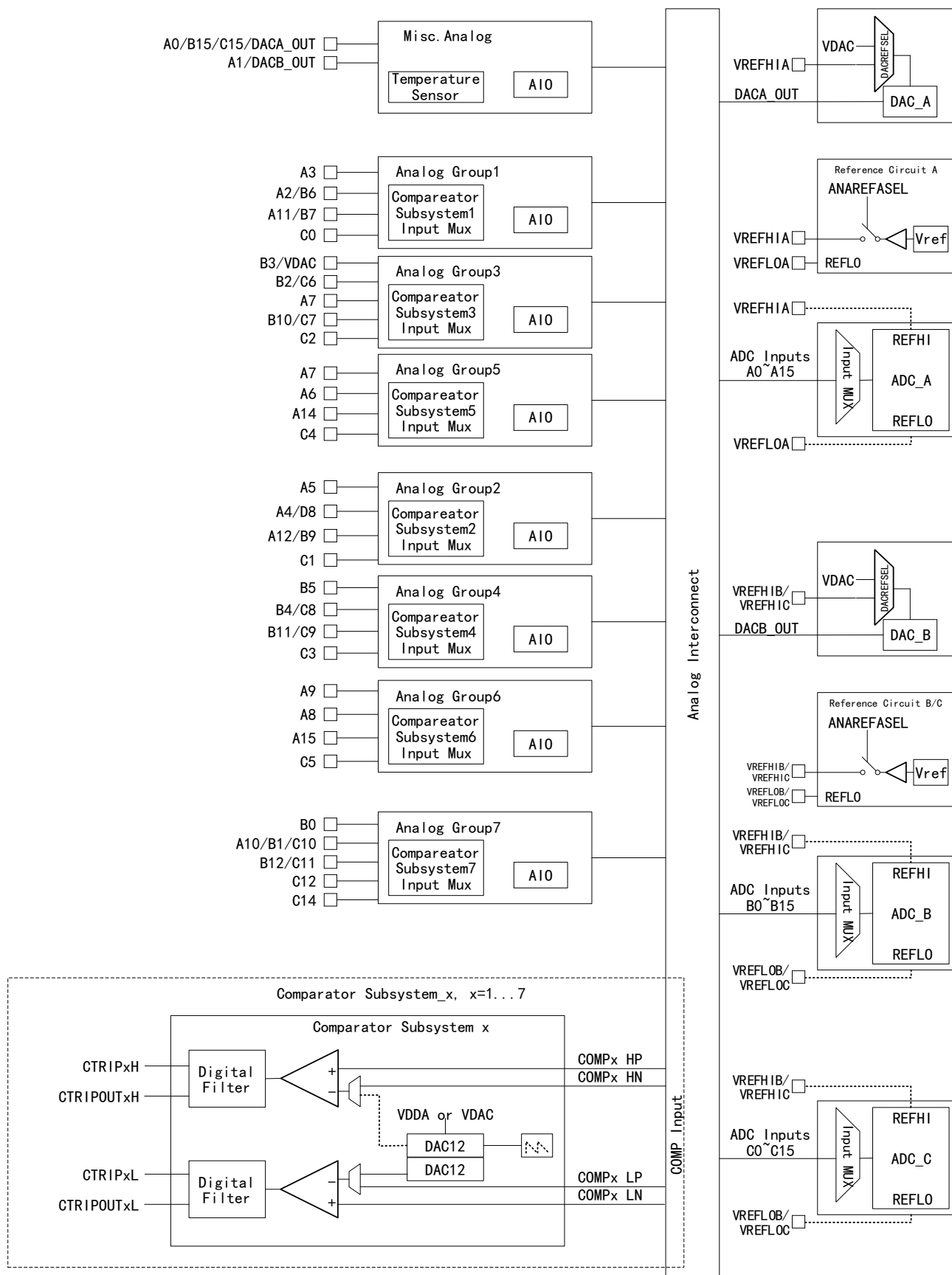


图 38 模拟子系统框图（80-pin）

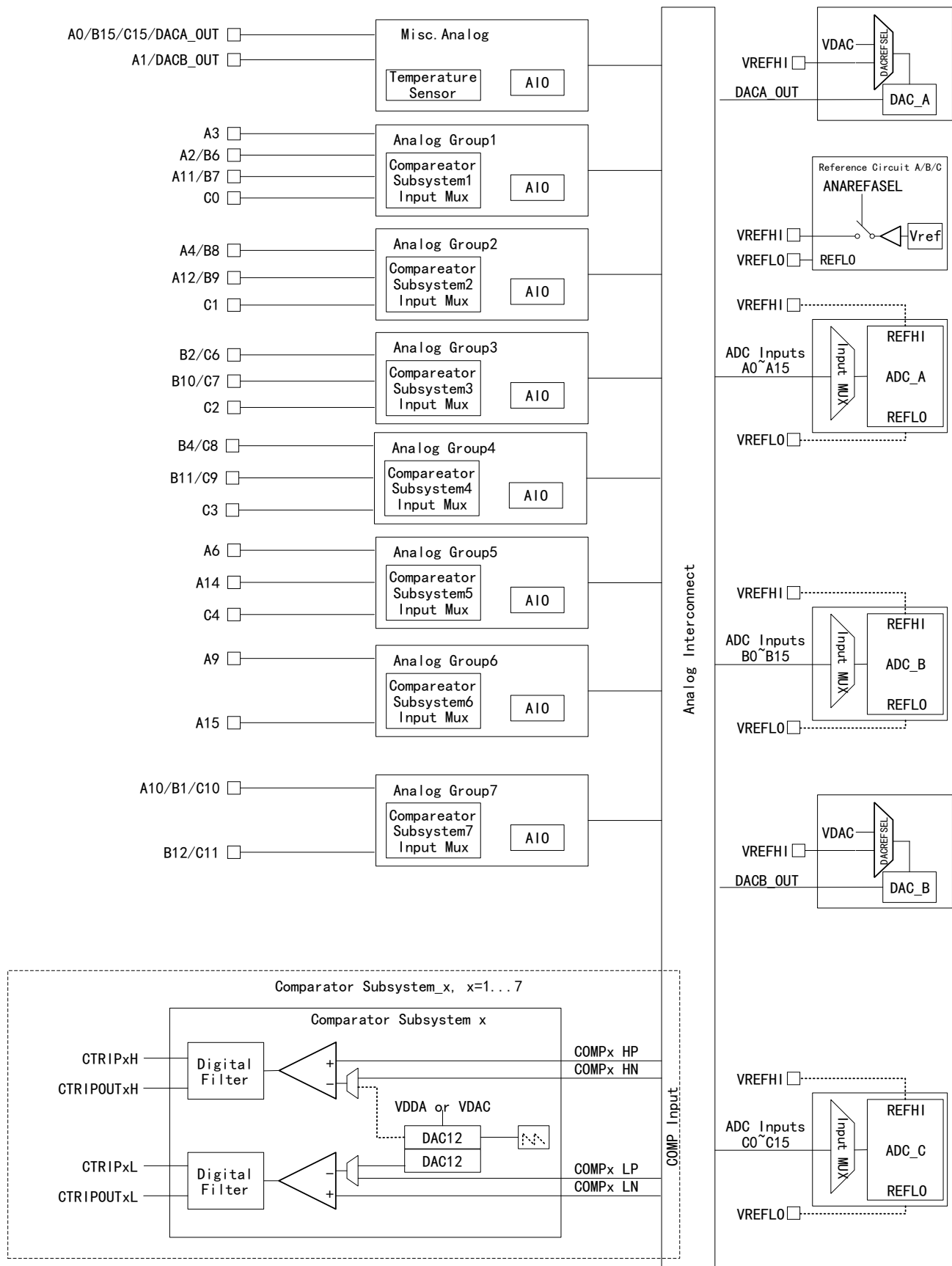


图 39 模拟子系统框图（64-pin）

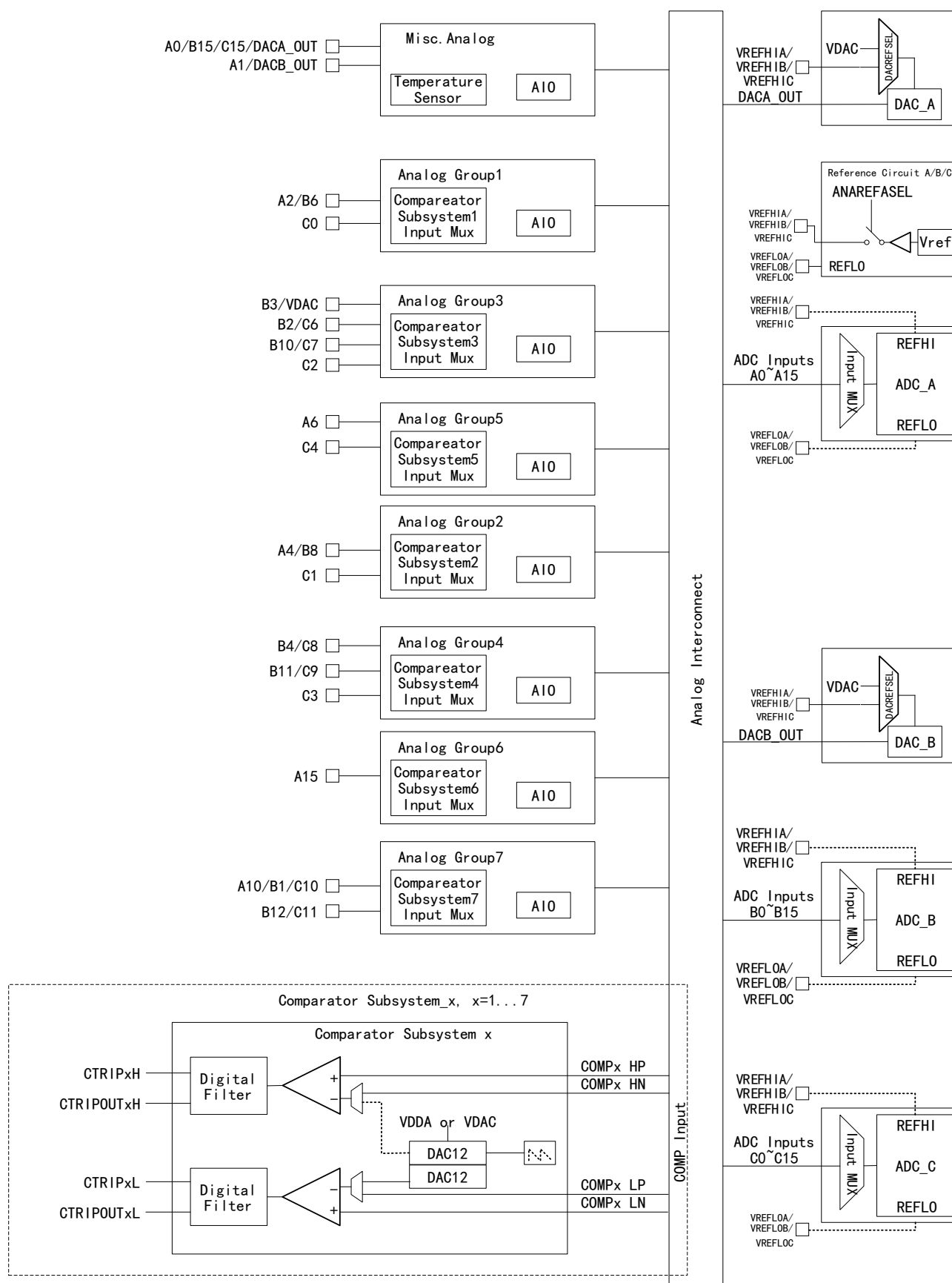


图 40 模拟子系统框图（56-pin）

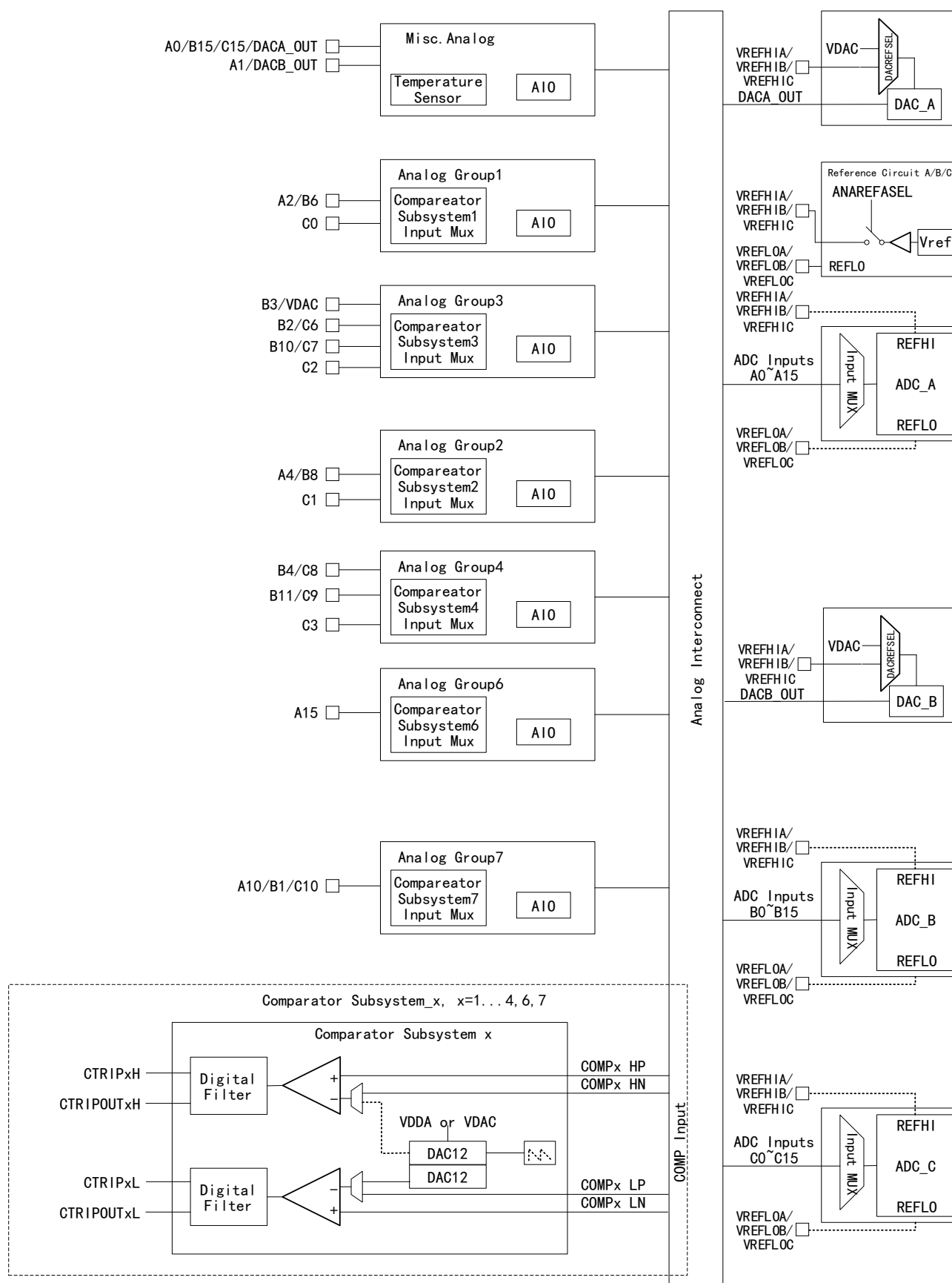
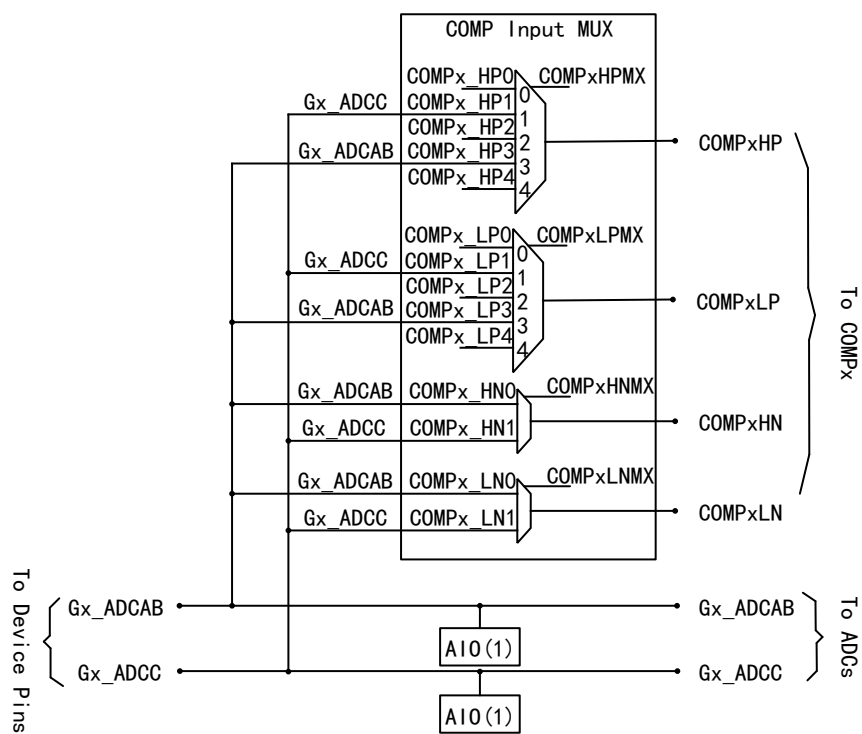


图 41 模拟组连接



注意: AIO 仅支持数字输入模式。

表格 86 模拟引脚与内部连接

引脚名称	组名称	封装				始终连接				比较器				AIO		
		LQFP100 / E- LQFP100	LQFP 80	LQFP6 4/ E- LQFP6 4	QF N 56	ADC A	ADC B	ADCC	DAC	高正 (HPMXSE L)	高负 (HNMXSE L)	低正 (LPMXSE L)	低负 (LNMXSE L)			
VREFHIA	-	25	20 ⁽²⁾ (VREFHI)	16 ⁽¹⁾	14 ⁽¹⁾											
VREFHIB	-	24 ⁽¹⁾														
VREFHIC	-															
VREFLOA	-	27	21 ⁽²⁾ (VREFLO)	17 ⁽¹⁾	15 ⁽¹⁾											
VREFLOB	-	26 ⁽¹⁾														
VREFLOC	-															
模拟组 1										COMP1						
A3	G1_ADCAB	10	13			A3				3	0	3	0	AIO233		
A2/B6		9	12	9	8	A2	B6			0		0		AIO224		
A11/B7		18	16			A11	B7			2		2		AIO248		
									4		4					
C0	G1_ADCC	19	16	12	10			C0		1	1	1	1	AIO237		
模拟组 2										COMP2						
A5	G2_ADCAB	35				A5				3	0	3	0	AIO234		
A4/B8		36	27	23	21	A4	B8			0		0		AIO225		
A12/B9		30	22			A12	B9			2		2		AIO249		
									4		4					
C1	G2_ADCC	29	22	18	16			C1		1	1	1	1	AIO238		
模拟组 3										COMP3						
B3/VDAC	G3_ADCAB	8		8	7		B3		VDAC	3	0	3	0	AIO242		
B2/C6		7	11	7	6		B2	C6		0		0		AIO226		
A7		20				A7				2		2		AIO235		
B10/C7		15	14	10	9		B10	C7		4		4		AIO250		

引脚名称	组名称	封装				始终连接				比较器				AIO
		LQFP100 / E- LQFP100	LQFP 80	LQFP6 4/ E- LQFP6 4	QF N 56	ADC A	ADC B	ADCC	DAC	高正 (HPMXSE L)	高负 (HNMXSE L)	低正 (LPMXSE L)	低负 (LNMXSE L)	
C2	G3_ADCC	21	17	13	11			C2		1	1	1	1	AIO244
模拟组 4										COMP4				
B5	G4_ADCAB	42					B5			3	0	3	0	AIO243
B4/C8		39	28	24	22		B4	C8		0		0		AIO227
B11/C9		13	13	10	9		B11	C9		4		4		AIO251
C3	G4_ADCC	31	23	19	17			C3		1	1	1	1	AIO245
									2		2			
模拟组 5										COMP5				
A7	G5_ADCAB	20				A7				3	0	3	0	AIO235
A6		6	10	6		A6				0		0		AIO228
A14		16	15			A14				4		4		AIO252
							2		2					
C4	G5_ADCC	17	15	11				C4		1	1	1	1	AIO239
模拟组 6										COMP6				
A9	G6_ADCAB	38	28			A9				3	0	3	0	AIO236
A8		37				A8				0		0		AIO229
A15		14	14	10	15	A15				4		4		AIO253
C5	G6_ADCC	28						C5		1	1	1	1	AIO240
										2		2		
模拟组 7										COMP7				
B0	G7_ADCAB	41					B0			3	0	3	0	AIO241
A10/B1/C10		40	29	25	23	A10	B1	C10		0		0		AIO230
B12/C11		32	24	20	18		B12	C11		4		4		AIO254
C12	G7_ADCC	43						C12		2		2		AIO247
C14		44						C14		1	1	1	1	AIO246

引脚名称	组名称	封装				始终连接				比较器				AIO
		LQFP100 / E-LQFP100	LQFP 80	LQFP64/ E-LQFP64	QFN 56	ADC A	ADC B	ADCC	DAC	高正 (HPMXSEL)	高负 (HNMXSEL)	低正 (LPMXSEL)	低负 (LNMXSEL)	
其他模拟														
A0/B15/C15/DACA_OUT		23	19	15	13	A0	B15	C15	DACA_OUT					AIO231
A1/DACB_OUT		22	18	14	12	A1			DACB_OUT					AIO232
	TempSensor ⁽³⁾						B14							

注意:

(1) 经过封装后, 对于 LQFP100/E- LQFP100, VREFHIB 与 VREFHIC 是同一个端口, 而 VREFLOB 与 VREFLOC 是同一个端口; 对于 LQFP64/ E-LQFP64 和 QFN56, VREFHIA、VREFHIB 与 VREFHIC 是同一个端口, 而 VREFLOA、VREFLOB 与 VREFLOC 是同一个端口。

(2) 对于 LQFP80, 第 20 引脚是 VREFHI, 第 21 引脚是 VREFLO。

(3) TempSensor 仅限内部连接;没有到达设备引脚。

表格 87 模拟信号

信号名称	描述
AlOx	可复用为数字量输入的模拟量输入口
Ax	ADCA 输入
Bx	ADCB 输入
Cx	ADCC 输入
VDAC	片上 DAC 的可选外部参考电压。在这个引脚上有一个 100pF 的 VSSA 电容，ADC 输入和 DAC 参考都不能禁用。如果用作片上 DAC 的参考，则在此引脚上放置至少 1μF 的电容器。
DACx_OUT	缓冲 DAC 输出
COMPx_DACH	比较器子系统高电平 DAC 输出
COMPx_DACL	比较器子系统低电平 DAC 输出
COMPx_HPy	比较器子系统高边比较器正输入
COMPx_HNy	比较器子系统高边比较器负输入
COMPx_LPy	比较器子系统低边比较器正输入
COMPx_LNy	比较器子系统低边比较器负输入
TempSensor	内部温度传感器

5.9.2. 模数转换器（ADC）

12 位精度的 ADC 包含一个封装器和一个内核。封装器基于转换开始（SOC），由配置和控制 ADC 的数字电路组成，这些电路包括结果寄存器、可编程转换逻辑、模拟电路接口、外设总线接口、后处理电路和其他片上模块接口。内核由模拟电路组成，模拟电路包括采样保持（S/H）电路、逐次逼近电路、通道选择 MUX、参考电压电路和其他模拟支持电路。每个 ADC 模块由一个采样保持（s/h）电路组成。允许多个 ADC 同时采样或独立操作。

5.9.2.1. 主要特征

- (1) ADC 内部参考电压选项：2.5V 或 3.3V
- (2) 单端转换模式
- (3) 12 位精度的分辨率
- (4) 由 VREFHI 和 VREFLO 引脚设置外部参考
- (5) 突发模式
- (6) 16 个结果寄存器，可单独寻址
- (7) 16 个通道的输入多路复用器
- (8) 16 个可配置的 SOC
- (9) 中断
 - 4 个 NVIC 中断

5.9.2.3. ADC 可配置性

ADC 配置分为由 SOC 单独控制和由每个 ADC 模块全局控制，具体如下：

表格 88 ADC 选项和配置

选项	可配置性
分辨率	不可配置（仅 12 位）
信号模式	不可配置（仅单端）
转换通道	SOC 级
触发源	SOC 级 ⁽¹⁾
采样窗口持续时间	
EOC 位置	模块级
突发模式	模块级 ⁽¹⁾
时钟	
参考电压源	模块级（外部或内部） ⁽²⁾

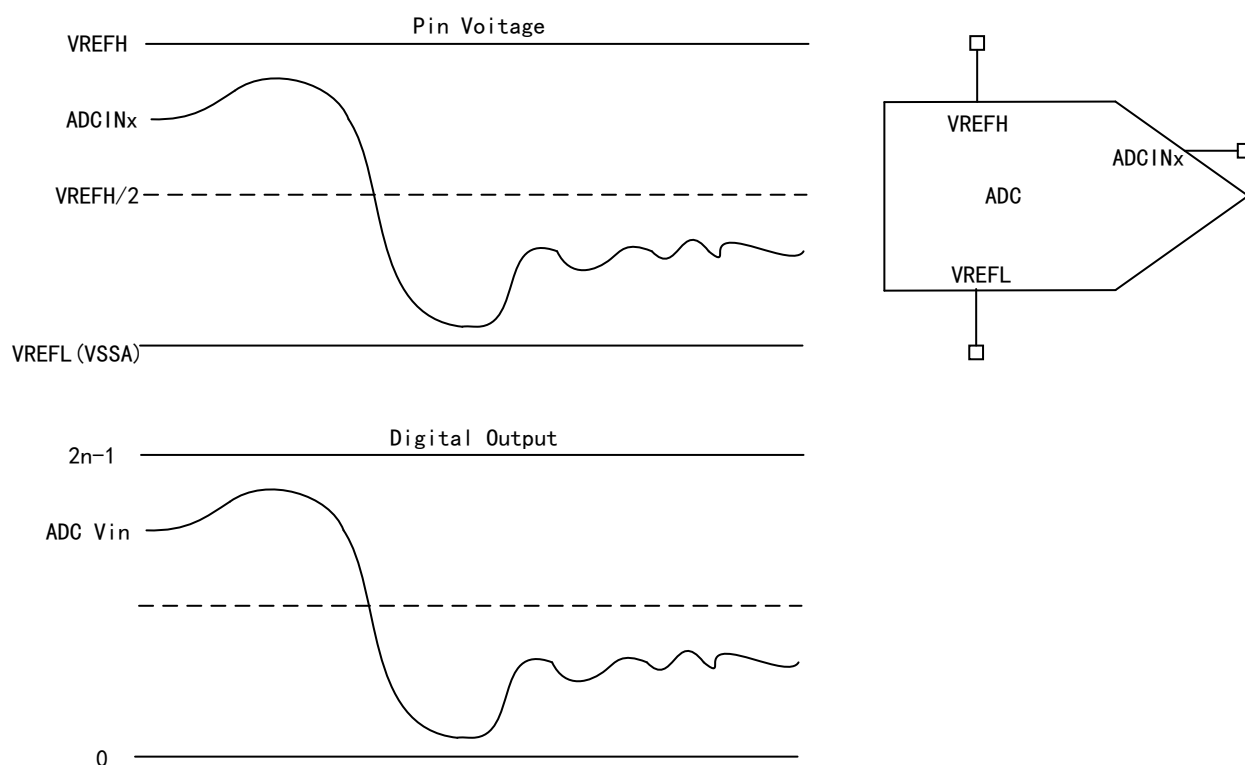
注意：

- （1） 在这些配置中，向不同的 ADC 模块写入不同的值，可能导致 ADC 非同步工作。
- （2） 低引脚数封装可能在多个 ADC 之间共享一个 VREFH 引脚。此时共享参考引脚的 ADC 的必须配置为相同的参考模式。

信号模式

ADC 支持单端信号。在单端模式下，转换器的输入电压通过一个引脚 ADCINx 采样，参考 VREFLO。

图 43 单端信号模式



5.9.2.4. ADC 电气数据和时序

5.9.2.4.1. ADC 运行条件

表格 89 ADC 运行条件

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK ⁽³⁾		5		50	MHz
采样率				3.45	MSPS
采样窗口持续时间（由 ACQPS 和 APBCLK 设置） ⁽¹⁾	具有 50Ω 或更小的 Rs	75			ns
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI ⁽²⁾	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA	VSSA	VSSA	V
VREFHI - VREFLO	外部基准	2.4		VDDA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

注意：

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。

(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

(3) 最大值参数为设计保证的性能最优值。

应保持 ADC 输入低于 $VDDA + 0.3V$ 。如果 ADC 输入超过这个阈值电压，芯片内部的 VREF 可能会受到干扰，影响其他使用相同 VREF 的 ADC 或 DAC 输入的结果。必须保持 VREFH 引脚低于 $VDDA + 0.3V$ ，以确保正常工作。如果 VREFH 引脚超过这个阈值电压，可能会激活阻塞电路，并且 VREFH 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

5.9.2.4.2. ADC 电气特性

表格 90 通用特性

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK 转换周期	100MHz APBCLK	10.1		11	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			5000	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式			5000	μs
VREFHI 输入电流 ⁽¹⁾	只有 1 个 ADC 工作		170		μA
内部基准电容值 ⁽²⁾		2.2			μF
外部基准电容值 ⁽²⁾		2.2			μF

注意：

(1) 当 ADC 输入大于 $VDDA$ 时，VREFH 上的负载电流会增加。这会导致转换不准确。

(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 $\pm 20\%$ 的容差。

表格 91 直流特性

参数	测试条件	最小值	典型值	最大值	单位
增益误差	内部基准电压	-45		45	LSB
	外部基准		±3		
偏移量误差		-5	±2	5	
通道间增益误差			±2		
通道间偏移量误差			±2		
ADC 间增益误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±4		
ADC 间偏移量误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±2		
DNL 误差		> -1	±0.5	1	
INL 误差		-2	±1.0	2	
ADC 间隔离度	VREFHI=2.5V，同步 ADC	-1.5		1.5	
	VREFHI=2.5V，异步 ADC	不支持			

表格 92 交流特性

参数	测试条件	最小值	典型值	最大值	单位
SNR ⁽¹⁾	VREFHI = 2.5V, fin = 100kHz, APBCLK 源自 X1, ADC CLK =50MHz 通过 CBUS 接口从 Flash 取指令, 使能 CPU Cache、Flash 预取		66.2		dB
	VREFHI = 2.5V, fin = 100kHz, APBCLK 源自 INTOSC, ADC CLK =50MHz		58.3		
	VREFHI = 2.5V, fin = 100kHz, ADCCLK =50MHz, 通过 CBUS 接口从 Flash 取指令, 使能 CPU Cache、Flash 预取		-74.1		
THD ⁽¹⁾	VREFHI = 2.5V, fin = 100kHz, ADCCLK =50MHz, 通过 CBUS 接口从 Flash 取指令, 使能 CPU Cache、Flash 预取		76.4		dB
SFDR ⁽¹⁾	VREFHI = 2.5V, fin = 100kHz, APBCLK 源自 X1, ADC CLK =50MHz, 通过 CBUS 接口从 Flash 取指令, 使能 CPU Cache、Flash 预取		65.6		dB
SINAD ⁽¹⁾	VREFHI = 2.5V, fin = 100kHz, APBCLK 源自 INTOSC, ADCCLK =50MHz		58.6		dB
	VREFHI = 2.5V, fin = 100kHz, APBCLK 源自 X1, ADC CLK =50MHz 通过 CBUS 接口从 Flash 取指令, 使能 CPU Cache、Flash 预取		66.2		dB
ENOB ⁽¹⁾	VREFHI = 2.5V, fin = 100kHz, APBCLK 源自 X1, 同步 ADC, ADCCLK =50MHz, 通过 CBUS 接口从 Flash 取指令, 使能 CPU Cache、Flash 预取		10.5		位
	VREFHI = 2.5V, fin = 100kHz, APBCLK 源自 X1, 异步 ADC, ADCCLK =50MHz		不支持		
	VREFHI = 2.5V, fin = 100kHz, APBCLK 源自 X1, 单个 ADC, ADCCLK =50MHz, 通过 CBUS 接口从 Flash 取指令, 使能 CPU Cache、Flash 预取		10.5		
PSRR	VDD = 1.1V 直流 + 100mV 直流至正弦 (1kHz 时), ADCCLK =50MHz		57		dB
	VDD = 1.1V 直流 + 100mV 直流至正弦 (300kHz 时), ADCCLK =50MHz		57		
	VDDA = 3.3V 直流 + 200mV 直流至正弦 (1kHz 时), ADCCLK =50MHz		58		
	VDDA = 3.3V 直流 + 200mV 正弦 (900kHz 时), ADCCLK =50MHz		57		

注意:

(1) 作为减少电容耦合和串扰的最佳实践的一部分, 与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。

5.9.2.4.3. ADC 输入模型

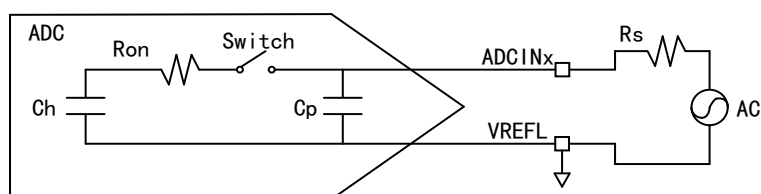
表格 93 编辑模型参数

符号	参数	基准模式	值
Cp	寄生输入电容	全部	请参阅下表
Ron	采样开关电阻	外部基准, 2.5V 内部基准	500Ω

符号	参数	基准模式	值
		3.3V 内部基准	860Ω
Ch	采样电容器	外部基准，2.5V 内部基准	12.5pF
		3.3V 内部基准	7.5pF
Rs	标称源阻抗	全部	50Ω

在单端操作中，输入模型需要与实际信号源阻抗一起使用，才能确定采样窗口持续时间。

图 44 单端输入模型



表格 94 每通道寄生电容

ADC 通道	C _p (pF)	
	比较器已禁用	比较器已启用
ADCINA0	12.7	15.2
ADCINA1	13.7	16.2
ADCINA2	9.2	11.7
ADCINA3	6.9	9.4
ADCINA4	9.2	11.7
ADCINA5	7.5	10
ADCINA6	8.0	10.5
ADCINA7	7.0	9.5
ADCINA8	10.0	12.5
ADCINA9	8.1	10.6
ADCINA10	9.3	11.8
ADCINB0	7.1	9.6
ADCINB1	9.3	11.8
ADCINB2	9.6	12.1
ADCINB3 ⁽¹⁾	125.6	128.1
ADCINB4	8.8	11.3
ADCINB5	7.1	9.6
ADCINB6	9.2	11.7
ADCINB8	9.2	11.7

ADC 通道	C _p (pF)	
	比较器已禁用	比较器已启用
ADCINB15	12.7	15.2
ADCINC0	6.4	8.9
ADCINC1	6.1	8.6
ADCINC2	5.24	7.74
ADCINC3	5.5	8
ADCINC4	6.2	8.7
ADCINC5	5.6	8.1
ADCINC6	9.6	12.1
ADCINC8	8.8	11.3
ADCINC10	9.3	11.8
ADCINC12	4.1	6.6
ADCINC14	4.5	7
ADCINC15	12.7	15.2

注意:

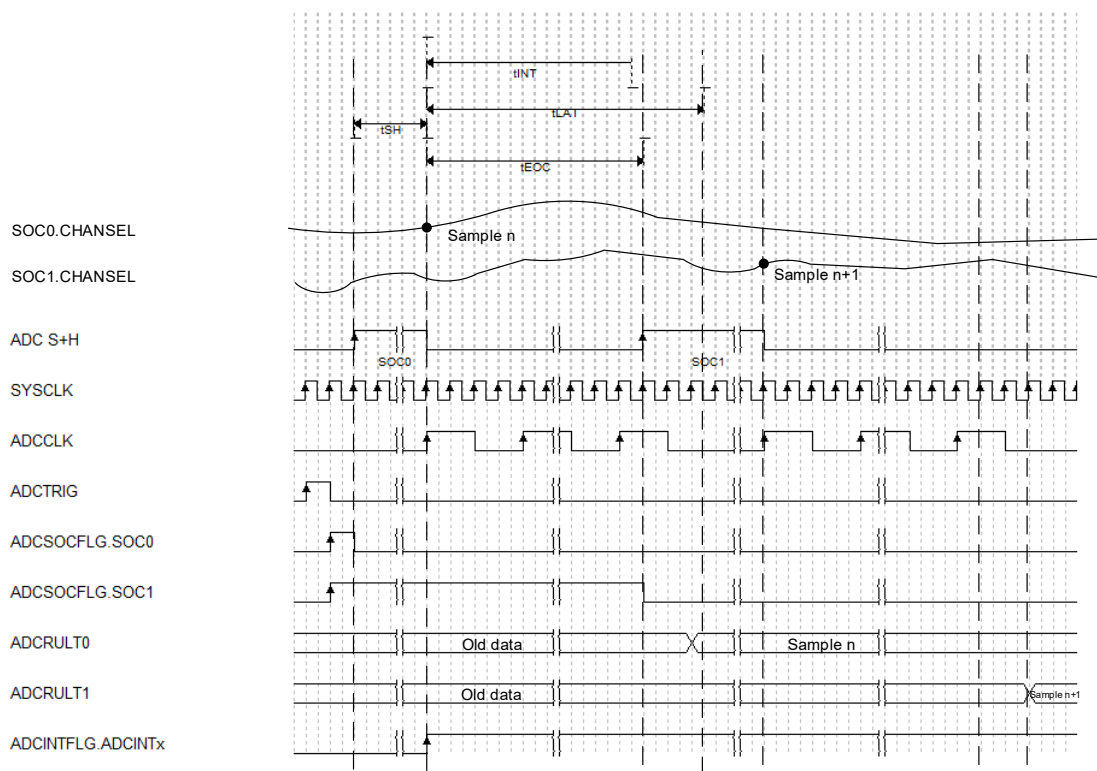
(1) 该引脚还用于为 COMPDAC 和 GPDAC 提供基准电压, 并包含一个内部去耦电容器。

5.9.2.4.4. ADC 时序图

在以下情况下两个 SOC 的 ADC 转换时序:

- SOC0 和 SOC1 使用相同的触发器
- 轮询指针指向 SOC0 先转换
- 触发器发生时, 没有其他 SOC 正在转换或挂起
- ADCINTSEL 配置为在 SOC0 转换结束时设置 ADCINTx 标志

图 45 ADC 时序



表格 95 ADC 时序参数

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容上的值成为待转换成数字值的电压。持续时间由 $(ACQPS + 1)$ 个 APBCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC， t_{SH} 不一定相同。 注意：无论芯片时钟设置如何，S+H 电容的值都将在 S+H 窗口结束前大约 5ns 时被捕获。
t_{LAT}	从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。 注意：如果在此时间之前读取 ADCRESULTx 寄存器，将返回之前的转换结果。
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在转换结果被锁存之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志的时间（前提：ADCINT 标志已配置）。 如果设置了 ADCCTL1 寄存器中的 INTPULSEPOS 位， t_{INT} 将与锁存到结果寄存器中的转换结果一致。 当 INTPULSEPOS 位为 0， t_{INT} 将与 S+H 窗口的结束一致。如果 t_{INT} 触发读取 ADC 结果寄存器（通过 DMA 直接读取或通过触发读取结果的 ISR 来间接读取），注意要在结果锁存之后进行读取，否则 读取值是之前的结果。 当 INTPULSEPOS 位为 0，并且 ADCINTCYCLE 寄存器中的 OFFSET 域不为 0，则在设置 ADCINT 标志之前会有 OFFSET APBCLK 周期的延迟。此延迟可用于在采样准备就绪时进入 ISR 或触发 DMA。

表格 96 12 位模式 ADC 时序

ADCCLK 预分频		APBCLK 周期				ADCCLK 周期
预分频比	PRESCALE	t_{LAT}	t_{EOC}	t_{INT} (早期) ⁽¹⁾	t_{INT} (后期)	t_{EOC}
1	0	13	11	1	11	11
2	2	23	21	1	21	10.5
3	4	34	31	1	31	10.3
4	6	44	41	1	41	10.3

ADCCLK 预分频		APBCLK 周期				ADCCLK 周期
5	8	55	51	1	51	10.2
6	10	65	61	1	61	10.2
7	12	76	71	1	71	10.1
8	14	86	81	1	81	10.1

注意:

(1) 默认情况下, 如果 INTPULSEPOS 为 0, 则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 域来改变。

5.9.3. 温度传感器

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样, 并通过软件转换为温度。在对温度传感器进行采样时, ADC 必须满足以下采集时间要求。

表格 97 温度传感器特征

符号	参数	测试条件	最小值	典型值	最大值	单位
T_{acc}	温度精度	外部基准		± 15		$^{\circ}\text{C}$
$t_{startup}$	启动时间 (TSNSCTL[ENABLE]至采样温度传感器)			500		μs
t_{SH}	ADC 采样保持时间		450			ns

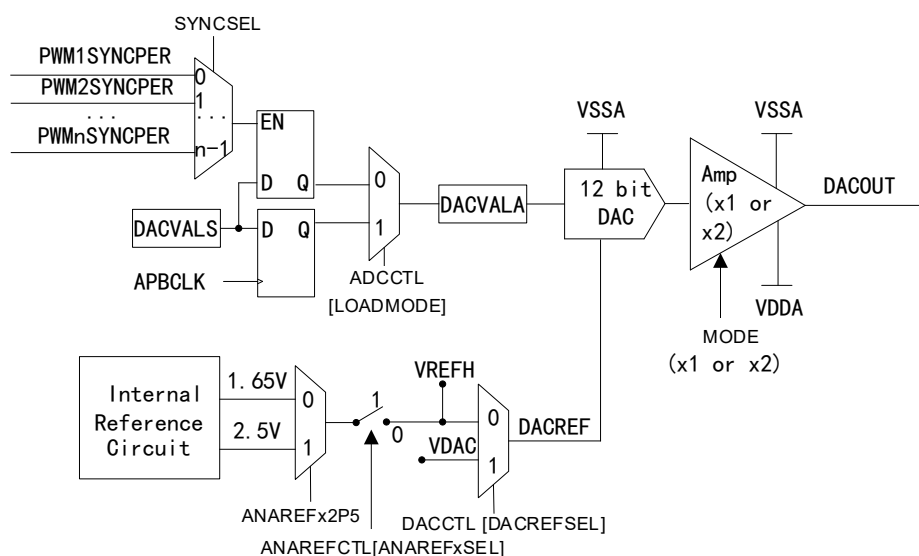
5.9.4. 缓冲数模转换器 (DAC)

缓冲 DAC 是一种通用 DAC, 由一个内部 12 位 DAC 和一个能够驱动外部负载的模拟输出缓冲区组成, 可以产生正弦波、方波、三角波等交流波形和直流电压。软件写入 DAC 值寄存器可立即生效, 也可以与 EPWMSYNCO 事件同步。

5.9.4.1. 主要特征

- (1) 分辨率: 12 位
- (2) 可选参考电压源
- (3) 能够与 PWMSYNCPER 同步
- (4) x1 和 x2 增益模式时, 使用内部 VREFH

图 46 结构框图



5.9.4.2. 缓冲 DAC 电气数据和时序

5.9.4.2.1. 缓冲 DAC 运行条件

表格 98 缓冲 DAC 运行条件

符号	参数	测试条件	最小值	典型值	最大值	单位
R_L	电阻负载 ⁽¹⁾		5			kΩ
C_L	容性负载				100	pF
V_{OUT}	有效输出电压范围 ⁽²⁾	$R_L = 5k\Omega$	0.3		$V_{DDA} - 0.3$	V
		$R_L = 1k\Omega$	0.6		$V_{DDA} - 0.6$	V
基准电压 ⁽³⁾		VDAC 或 VREFHI	2.4	2.5 或 3.0	V_{DDA}	V

注意：典型值是在 $V_{REFHI} = 3.3V$ 和 $V_{REFLO} = 0V$ 时测得的，最小值和最大值在 $V_{REFHI} = 2.5V$ 和 $V_{REFLO} = 0V$ 条件下测得。

- (1) DAC 可以驱动最小 1kΩ 的阻性负载，但这种条件下输出范围会受到限制。
- (2) V_{OUT} 表示 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，这种条件下输出电压将不呈线性。
- (3) 为了获得卓越 PSRR 性能，应确保 VDAC 或 VREFHI 小于 V_{DDA} 。

5.9.4.2.2. 缓冲 DAC 电气特性

表格 99 通用特性

符号	参数	测试条件	最小值	典型值	最大值	单位
	分辨率		12			位
	负载调整率		-0.5		0.5	mV/V
	毛刺脉冲能量			0.5		V-ns

符号	参数	测试条件	最小值	典型值	最大值	单位
	电压输出稳定时间满量程	在 0.3V 至 3V 切换后稳定到 2LSB			2	μs
	电压输出稳定时间第 1/4 满量程	在 0.3V 至 0.75V 切换后稳定到 2LSB			1	μs
	电压输出压摆率	从 0.3V 到 3V 转换的压摆率	7.8		15.5	V/ μs
	负载瞬态的稳定时间 ⁽¹⁾	5k Ω 负载			350	ns
		1k Ω 负载			557	ns
	基准输入电阻 ⁽²⁾	VDAC 或 VREFHI	160	200	240	k Ω
TPU	上电时间	外部基准模式			500	μs
		内部基准模式			5000	μs

注意：典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，最小值和最大值在 VREFHI = 2.5V 和 VREFLO = 0V 条件下测得。

(1) 稳定在 3LSB 以内。

(2) 每个有源缓冲 DAC 模块。

表格 100 直流特性

符号	参数	测试条件	最小值	典型值	最大值	单位
	偏移量误差	中点	-8		8	mV
Gain	增益误差 ⁽¹⁾		-2.5		2.5	FSR 百分比
DNL	微分非线性 ⁽²⁾	已更正端点	-1	± 0.6	1	LSB
INL	积分非线性	已更正端点	-5	± 1.5	5	LSB

注意：

(1) 增益误差是在线性输出范围内计算得出。

(2) DAC 输出是单调输出。

表格 101 交流特性

符号	参数	测试条件	最小值	典型值	最大值	单位
	输出噪声	从 100Hz 到 100kHz 的积分噪声		600		μVrms
		10kHz 时的噪声密度		800		$\text{nVrms}/\sqrt{H_z}$
SNR	信噪比	2.34375kHz, 200KSPS		69		dB
THD	总谐波失真	2.34375kHz, 200KSPS		-80		dB
SFDR	无杂散动态范围	2.34375kHz, 200KSPS		76		dB
SINAD	信噪比和失真比	2.34375kHz, 200KSPS		69		dB
PSRR	电源抑制比 ⁽¹⁾	直流		70		dB
		100kHz		30		dB

注意：

(1) $VREFHI = 3.2V$, $VDDA = 3.3V DC + 100mV$ 正弦。

为了确保芯片正常工作，必须保持 $VDAC$ 引脚低于 $VDDA + 0.3V$ 。如果 $VDAC$ 引脚超过此电平，可能会激活阻塞电路，并且 $VDAC$ 内部值可能会在内部浮动至 $0V$ ，从而导致 DAC 输出不正确。 $VREFHI$ 引脚必须保持低于 $VDDA + 0.3V$ ，以确保正常工作。如果 $VREFHI$ 引脚超过此电平，可能会激活阻塞电路，并且 $VREFHI$ 内部值可能会在内部浮动至 $0V$ ，从而导致 ADC 转换或 DAC 输出不正确。

5.9.4.2.3. 缓冲 DAC 示意图

图 47 缓冲 DAC 偏移

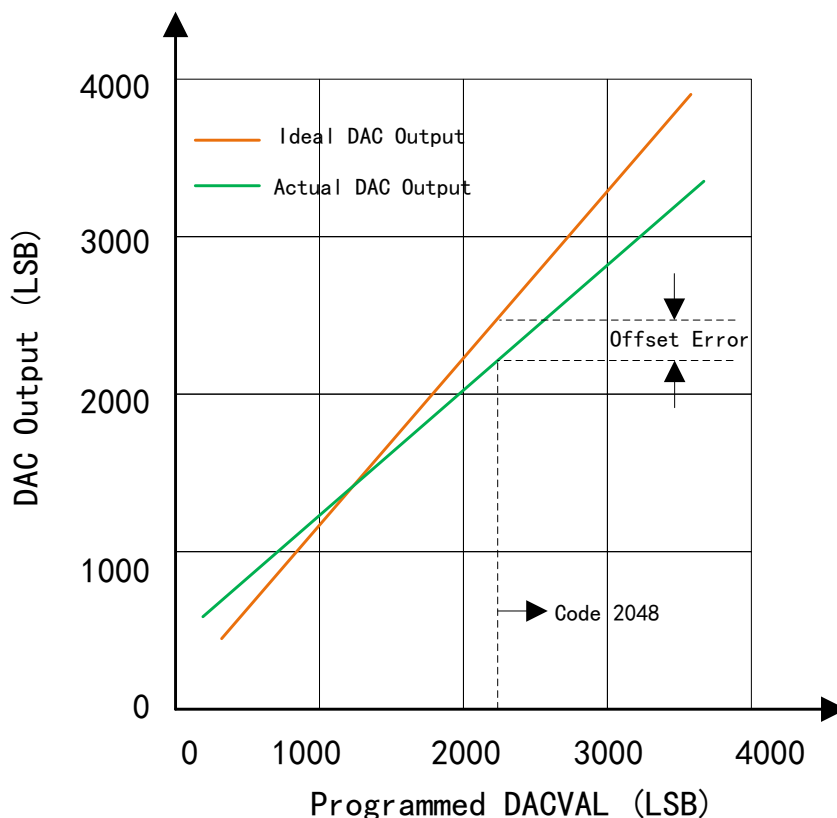


图 48 缓冲 DAC 增益

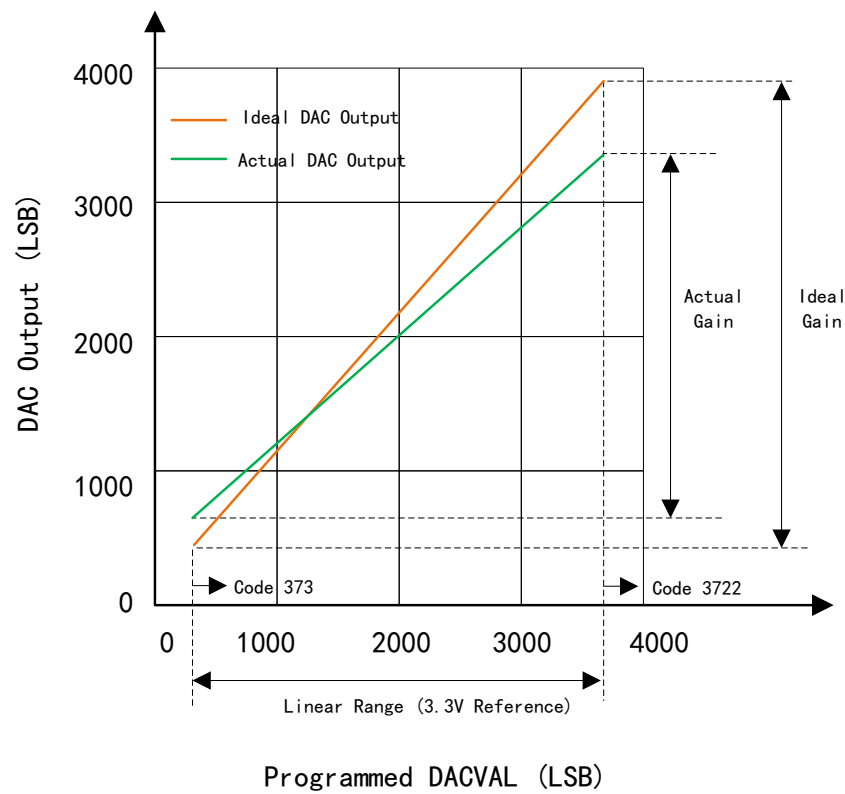
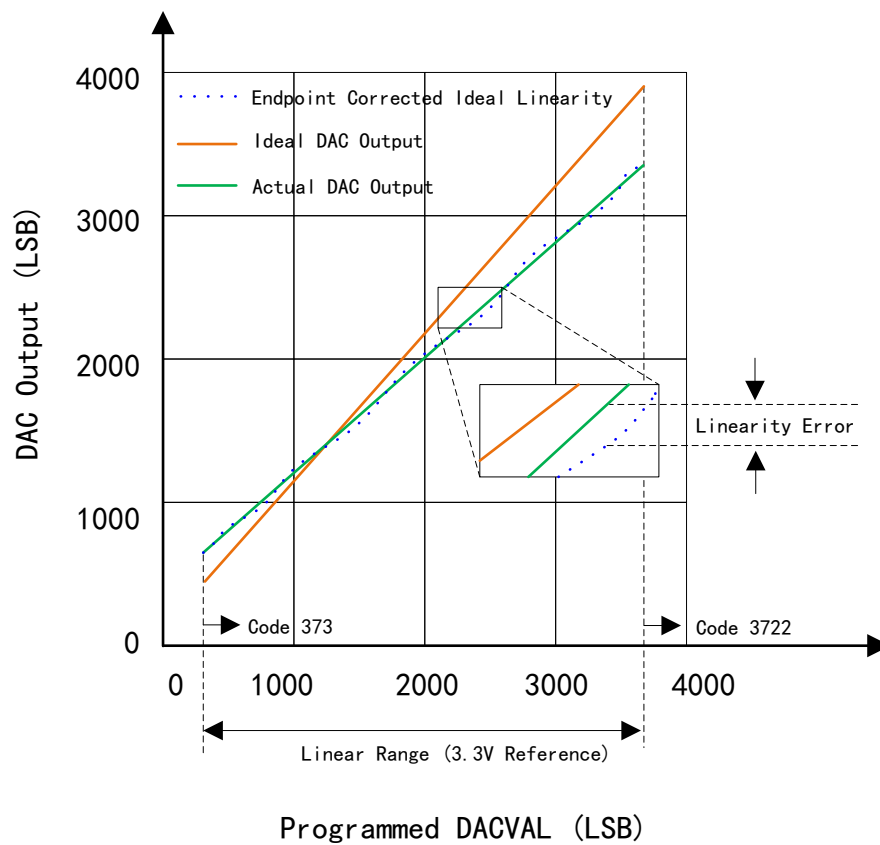


图 49 缓冲 DAC 线性



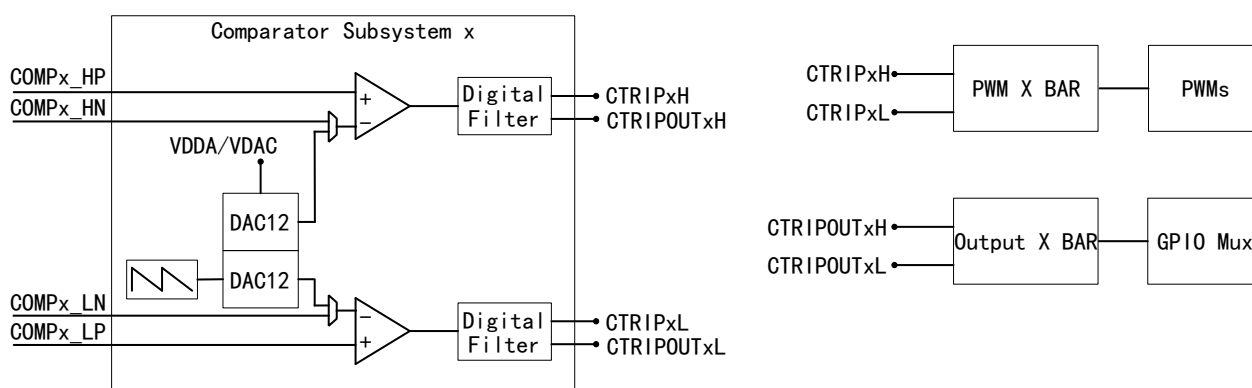
5.9.5. 比较器（COMP）

每个 COMP 系统包含两个比较器、两个参考 12 位 DAC、两个数字滤波器和一个斜坡发生器。

如下图所示，比较器在每个模块中用“H”表示高电平，用“L”表示低电平。每个比较器都会生成一个数字输出，指示正输入上的电压是否大于负输入上的电压。比较器的正输入可由外部引脚驱动，而负输入则由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。

斜坡发生器电路可用于控制子系统中高边比较器的基准 12 位 DAC 值。每个 COMP 模块有两个输出。这两个输出通过数字滤波器和 XBAR 之后连接到 PWM 模块或 GPIO 引脚。

图 50 COMP 连接



注意：图中 $x=1-7$ ，并非所有封装都具有所有 COMP 引脚。请参阅“模拟引脚与内部连接”表。

5.9.5.1. COMP 电气数据和时序

5.9.5.1.1. 比较器电气特性

表格 102 电气特性

符号	参数	测试条件	最小值	典型值	最大值	单位
TPU	上电时间				500	μs
	比较器输入（COMPINxx）范围		0		VDDA	V
	以输入为基准的偏移量误差	低共模，反相输入设置为 50mV	-20		20	mV
	迟滞 ⁽¹⁾	1x		12		LSB
		2x		24		
		3x		36		
		4x		48		
	响应时间（从 COMPINx 输入更改到 PWM X-BAR 输出或 X-BAR 输出的延迟）	阶跃响应		21	60	ns
		斜坡响应（1.65V/ μs ）		26		
		斜坡响应		50		ns

		(8.25mV/ μ s)				
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

注意:

- (1) **COMP DAC** 用作确定应用多少迟滞的基准。因此，迟滞将随 **COMP DAC** 基准电压而变化。迟滞适用于所有比较器输入源配置。

为了保证芯片正常工作，必须保持 **COMP** 输入低于 $V_{DDA} + 0.3V$ 。如果 **COMP** 输入超过阈值电压，内部阻塞电路将会导致内部比较器与外部引脚隔离，直至外部引脚电压返回到阈值电压以下。在此期间，内部比较器输入将处于悬空状态，并能在大约 $0.5\mu s$ 内衰减至 V_{DDA} 以下。在此之后，比较器可能会开始输出不正确的结果，具体取决于其他比较器输入的值。

图 51 COMP 比较器以输入为基准的偏移量

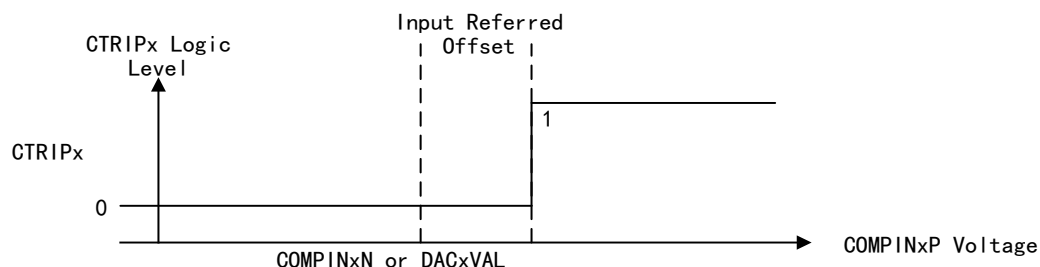
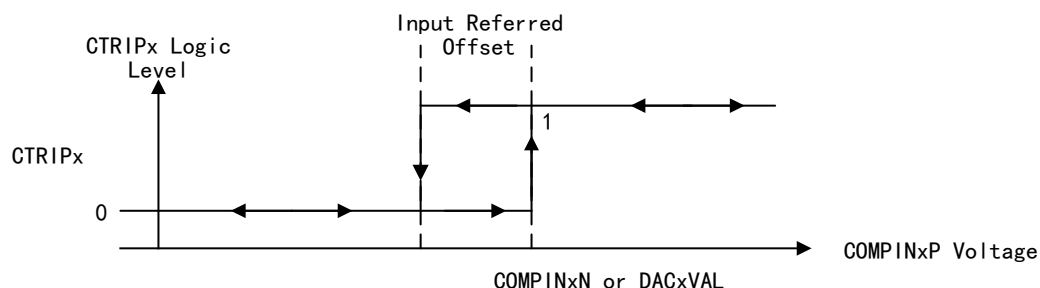


图 52 COMP 比较器迟滞



表格 103 COMP DAC 静态电气特性

参数	测试条件	最小值	典型值	最大值	单位
COMP DAC 输出范围	内部基准	0		V_{DDA}	V
	外部基准	0		$V_{DAC}^{(4)}$	
静态偏移量误差 ⁽¹⁾		-25		25	mV
静态增益误差 ⁽¹⁾		-2		2	FSR 百分比
静态 DNL	已更正端点	>-1		4	LSB
静态 INL	已更正端点	-16		16	LSB
趋稳时间	满量程输出变化后稳定到 1LSB			1	μs

参数	测试条件	最小值	典型值	最大值	单位
分辨率			12		位
COMP DAC 输出干扰 ⁽²⁾	由同一 COMP 模块内的比较器跳闸或 COMP DAC 代码更改引起的误差	-100		100	LSB
COMP DAC 干扰时间 ⁽²⁾				200	ns
VDAC 基准电压	当 VDAC 为基准时	2.4	2.5 或 3.0	VDDA	V
VDAC 负载 ⁽³⁾	当 VDAC 为基准时	6	8	10	kΩ

注意:

- (1) 包含以比较器输入为基准的误差。
- (2) 在比较器跳闸后的一段时间内，COMP DAC 输出可能会出现干扰误差。
- (3) 每个有源 COMP 模块。
- (4) 当 VDAC > VDDA 时，最大输出电压为 VDDA。

5.9.5.1.2. COMP 示意图

图 53 COMP DAC 静态偏移量

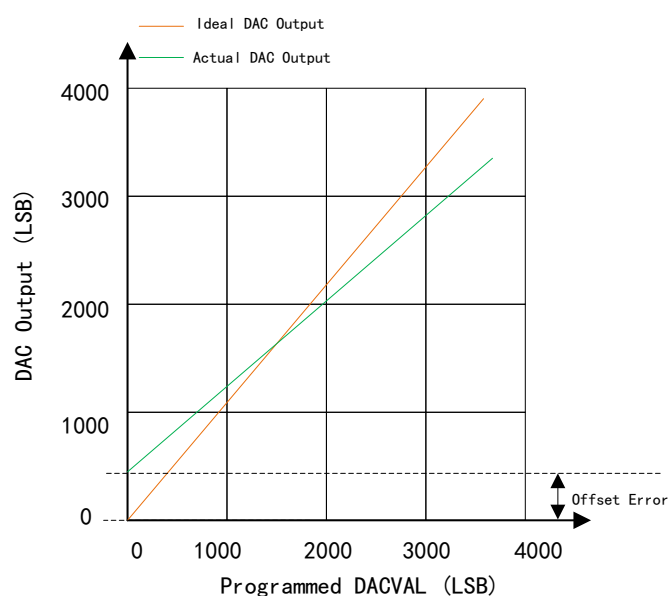


图 54 COMP DAC 静态增益

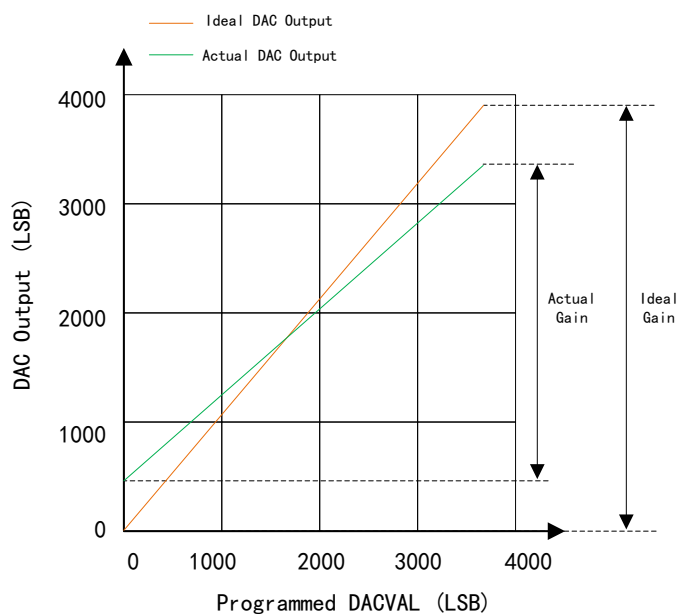
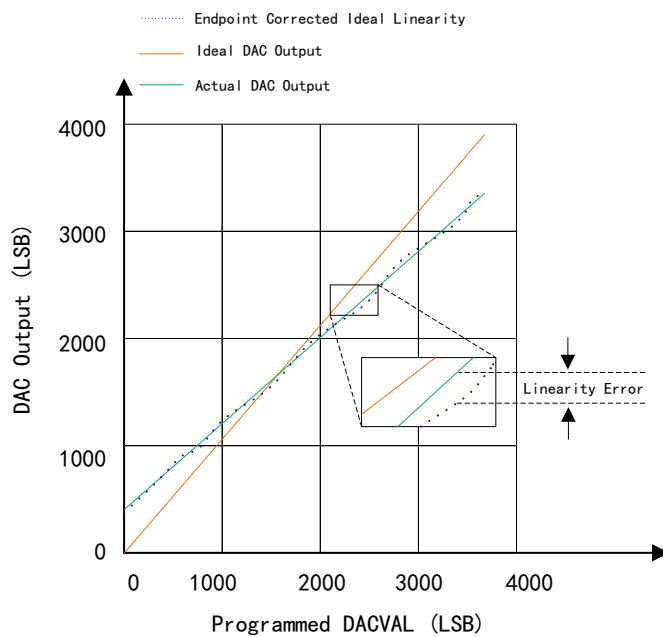


图 55 COMP DAC 静态线性



5.10. 控制外设

5.10.1. 捕获器 (CAP)

捕获器用于对精准计时外部事件的系统中。捕获器可以解码来自占空比编码电流/电压传感器的电压或电流幅度，能够测量脉冲序列信号的占空比和周期以及位置传感器脉冲之间的经过时间，支持通过霍尔传感器感应到的带齿链轮等方式来测量旋转机械的速度。

5.10.1.1. 主要特征

- (1) 128:1 输入多路复用器
- (2) 事件过滤器预分频
- (3) 4 个 32 位事件时间戳寄存器
- (4) 单次捕获最多四个时间戳事件
- (5) 通过连续模式捕获在四深度的循环缓冲区中的时间戳
- (6) 最多可用于四个序列时间戳捕获事件的边沿极性选择
- (7) 可以对四个事件中的任何一个响应并生成中断
- (8) 差分 (Delta) 模式时间戳捕获
- (9) 绝对时间戳捕获
- (10) 独立 DMA 触发器
- (11) CAP 可以配置为单通道 PWM 输出 (CAP 未用于输入捕获时)
- (12) 类型 1 CAP 比类型 0 CAP 增加了以下功能:
 - WRPRT 保护 (已添加到关键寄存器)
 - 输入多路复用器
 - 根据 ECCTL0[INPUTSEL]位选择捕获输入源, 详情请参见多路复用器配置章节。
 - 模计数器状态位
 - 在类型 0 CAP 中, 无法知道模计数器的当前状态。但是在类型 1 CAP 中, 通过 ECCTL2[MODCNRSTS]位可以指示哪个捕获寄存器在下一个捕获事件中加载。
 - 事件过滤器复位
 - 复位可以用于初始化和调试。将 ECCTL2[CTRFILTRESET]置位可以清除模计数器、事件过滤器和任何挂起的中断标志。
 - DMA 触发源
 - CAPxDMA 为 DMA 触发器。通过 ECCTL2[DMAEVTSEL]可以选择 DMA 中断源为 CEVTx (x=1...4)。
- (13) 每个 CAP 通道具有以下功能:
 - 128:1 输入多路复用器
 - 使用输入 X-BAR 连接捕获输入
 - 在 APWM 模式下, 输出 X-BAR 配置为输出
 - 输入捕获信号预分频
 - 选择四个捕获事件的独立边沿极性 (上升沿/下降沿)
 - 四个 32 位时间戳寄存器
 - 32 位计数器
 - 与外部事件同步的四阶测序器 (模 4 计数器), CAP 引脚上升/下降沿
 - WRPRT 保护
 - 单独的 DMA 触发器
 - 四个捕获事件任意一个的中断功能
 - 可以对模计数器、事件过滤器和中断标志进行复位

- 在四深度的环形缓冲区中，控制连续时间戳捕获
- 模计数器状态寄存器用于指示模计数器当前状态
- 一次触发比较寄存器（两位），冻结捕获后 1-4 时间戳事件

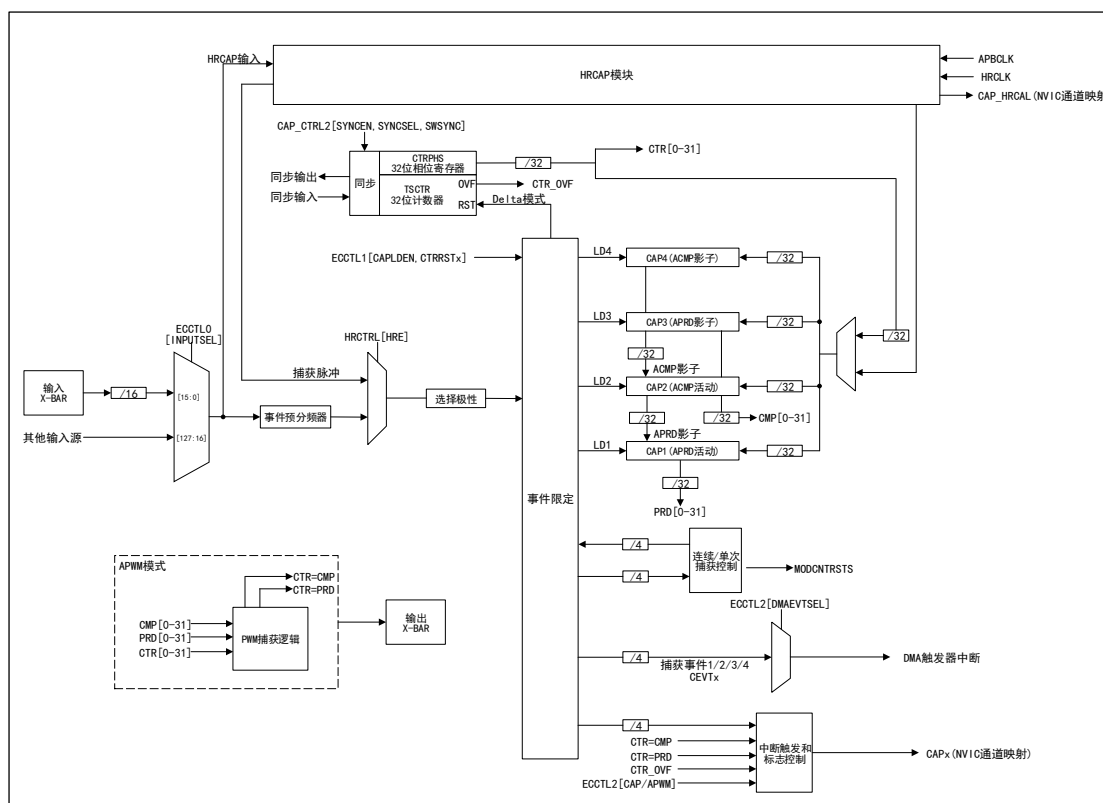
(14) APWM 模式功能说明：

- 可以通过 2 个 32-位数字比较器来比较时间戳计数器总线
- 捕获寄存器 1/2 在 APWM 模式中，可以用作周期和比较值（未在 CAP 模式中使用捕获寄存器 1/2 时）
- 使用捕获寄存器 3/4（APRD 和 ACMP 影子寄存器）实现双缓冲，其内容可以在计数器等于周期触发时传输到捕获寄存器 1/2 或在写入时立即传输到捕获寄存器 1/2
- 在初始化期间，写入两个周期活动寄存器并进行比较，自动将初始值复制到阴影值中。使用影子寄存器可便于对运行过程中的后续进行比较更新
- 即时模式：在 APWM 模式中，写入活动寄存器（捕获寄存器 1/2）同时会将相同的值写入影子寄存器（捕获寄存器 3/4）。写入捕获寄存器 3/4 调用影子模式

(15) 中断事件：

- CTR=PRD
- CTR=CMP
- CEVTx (x=1...4)
- CTROVF

图 56 CAP 结构框图



注意：HRCAP 子模块并非在所有 CAP 模块上都可用；在这种情况下，高分辨率多路复用器和硬件未被执行。

5.10.1.2. CAP 电气数据和时序

表格 104 CAP 时序要求

符号	参数	条件	最小值	典型值	最大值	单位
$t_w (CAP)$	采集输入脉冲宽度	异步	$2t_c (SCO)$			ns
		同步	$2t_c (SCO)$			
		带输入限定器	$1t_c (SCO) + t_{w_QSW}$			

表格 105 CAP 开关特性

符号	参数	最小值	典型值	最大值	单位
$t_w (APWM)$	脉冲持续时间, APWMx 输出高电平/低电平	20			ns

注意：中断使用补充说明：因为 G32R501 所使用 CPU 对于中断处理的特性，在 CAP 和 HRCAP 的中断程序里，不建议使用系统级 Clear Pending 语句，如果使用该语句，在高频捕获时可能造成程序运行中无法再次进入中断的问题，不使用则不会有该问题。

5.10.2. 高分辨率捕获器（HRCAP6–HRCAP7）

根据 CAP 结构框图可知，HRCAP 子模块是类型 1 CAP 的一部分。高分辨率捕获（HRCAP）模块测量外部脉冲宽度的精度高于 CAP 模块。HRCAP 支持以下功能：

- 测量和扫描距离或者声纳
- 测量隔离边界上的电压
- 测量流量
- 测量瞬时速度和瞬时频率
- 测量脉冲序列周期的 HR 周期和占空比
- 电容式触摸应用

5.10.2.1. 主要特征

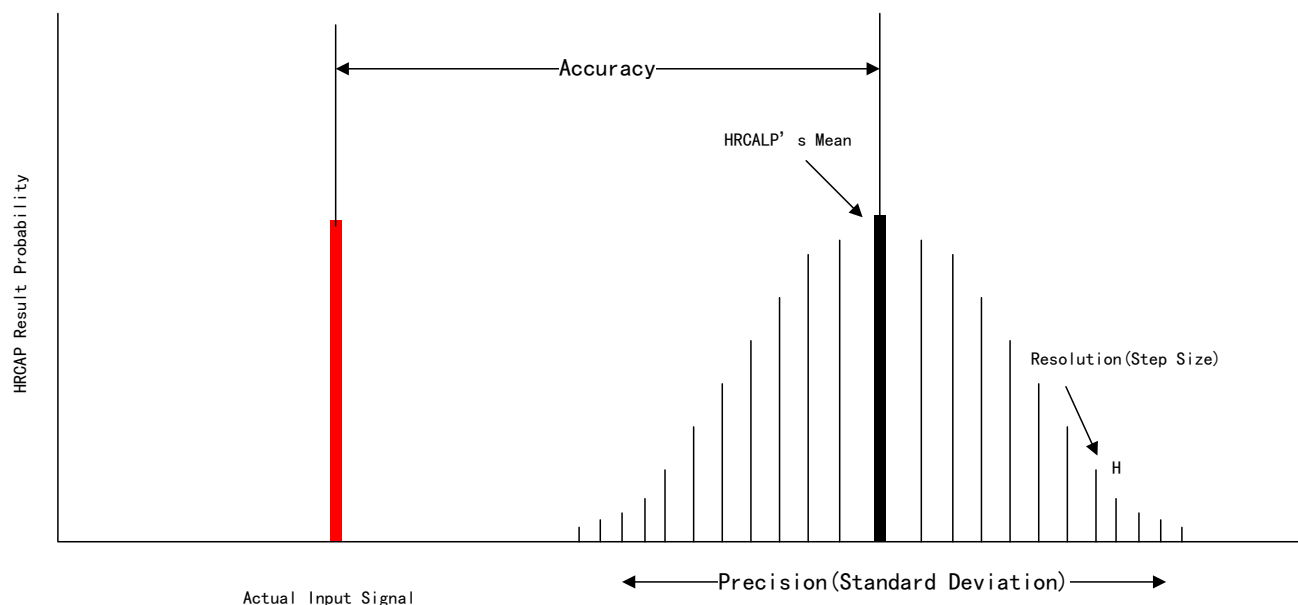
- (1) 绝对模式脉冲宽度捕获
- (2) 捕获非高分辨率或高分辨率模式下的脉宽
- (3) 捕获模式：
 - 连续模式
 - 单次模式
- (4) 硬件校准逻辑（用于精确高分辨率捕获）
- (5) 连续模式下，脉冲宽度捕获结果支持四级缓存
- (6) 在上升沿或下降沿中产生中断
- (7) 校准（无需脱机执行）
- (8) 类型 0 HRCAP 的改进：
 - HRCAP 用法与 CAP 一致
 - 在 CAP6/7 中增加了 HRCAP 增强功能，可以允许信号异步捕获到 APBCLK。如果使用 HRCAP 增强功能，可以访问所有 CAP 硬件，但是因为与 APBCLK 同步，则

标准差			请参见“标准偏差特性”图		
分辨率			300		ps

注意:

- (1) 使用 100PPM 的振荡器获得的值，振荡器精度直接影响 HRCAP 精度。
- (2) 使用上升-上升沿或下降-下降沿完成测量。
- (3) 由于 V_{IH} 和 V_{IL} 之间的差异，极性相反的边沿将进一步降低精度。这种影响取决于信号的压摆率。
- (4) 精度仅适用于经过时间转换的测量。

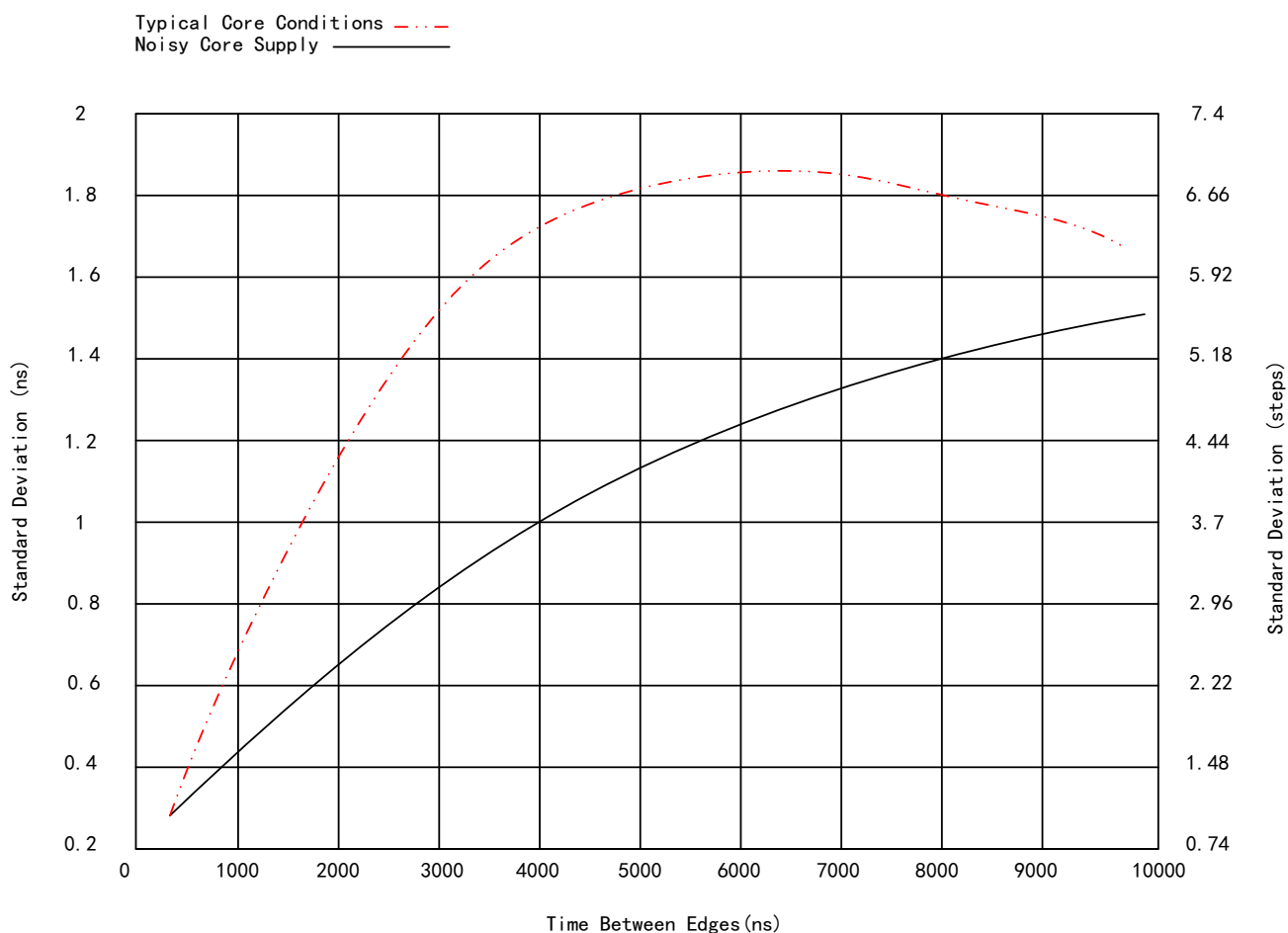
图 58 HRCAP 精度和分辨率



HRCAP 在性能上有一些变化，其概率分布可以使用以下术语描述：

- 精度：输入信号与 HRCAP 分布均值之间的时间差。
- 精度：HRCAP 分布的宽度，以标准偏差的形式给出。
- 分辨率：最小可测量增量。

图 59 HRCAP 标准偏差特性



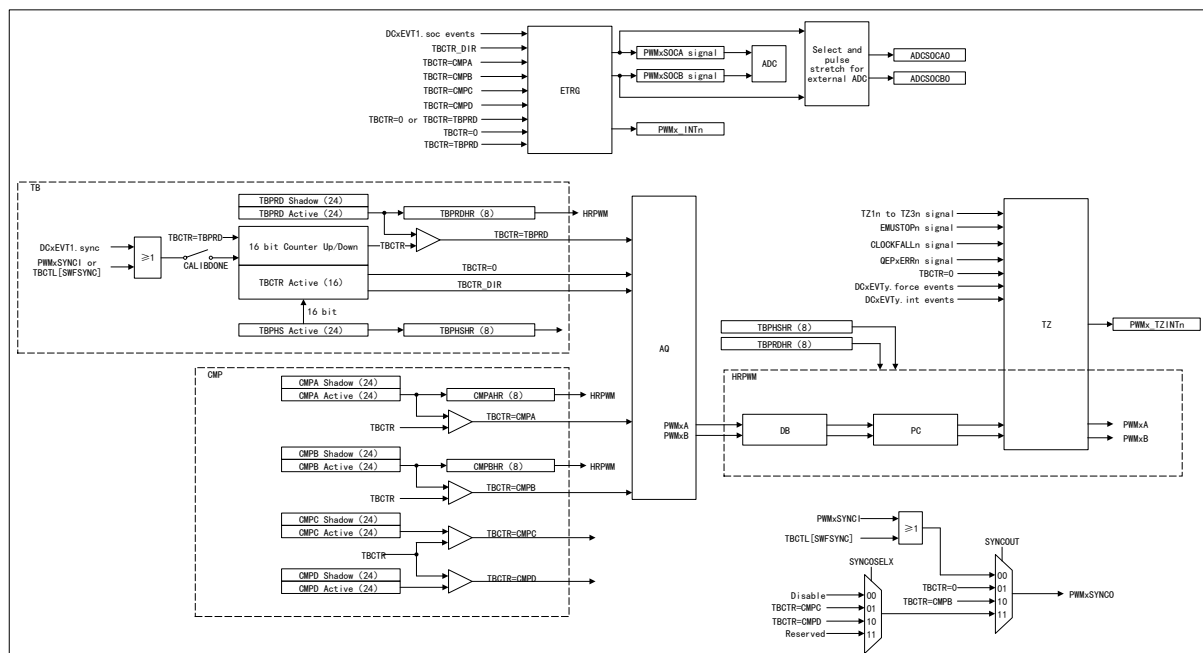
注意:

- (1) 典型的内核条件：所有外设时钟被启用。
- (2) 有噪声的内核电源：在测量期间，所有内核时钟都以一个固定周期启用和禁用。这会导致 1.1V 电源轨在测量期间出现 18.5mA 的摆幅。
- (3) 1.1V 电源轨上的电流和电压波动会导致 HRCAP 的标准偏差上升。应注意确保 1.1V 电源是清洁的，并且在使用 HRCAP 时已最大限度地减少了干扰性内部事件（例如启用和禁用时钟树）。

5.10.3. 脉冲宽度调制器 (PWM)

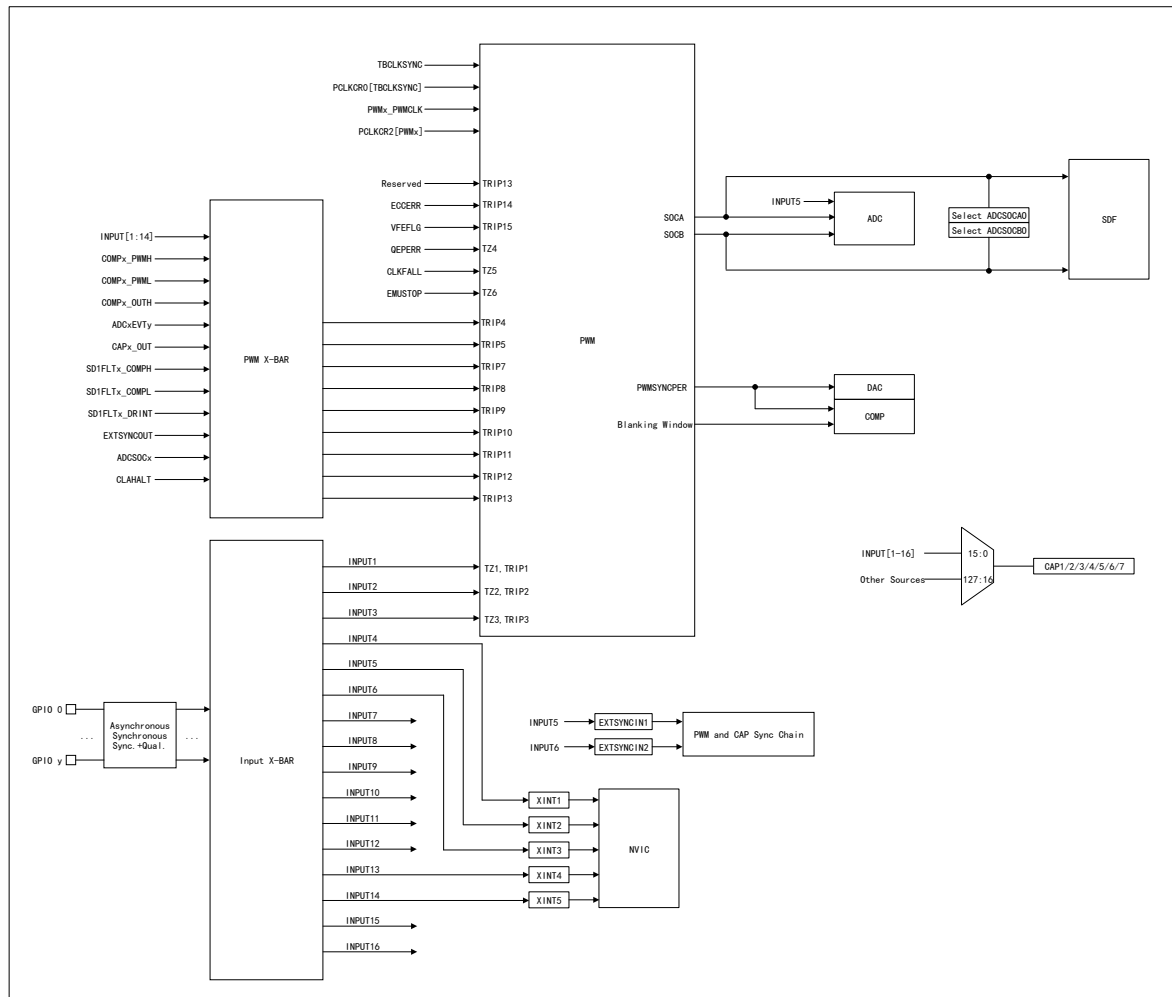
PWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。PWM 4 类模块会以最少的 CPU 开销生成复杂脉宽波形。PWM 4 类模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

图 60 PWM 模块和关键内部信号互联结构框图



注意：这些事件由 PWM 数字比较 (DC) 子模块根据 TRIPIN 输入电平生成。

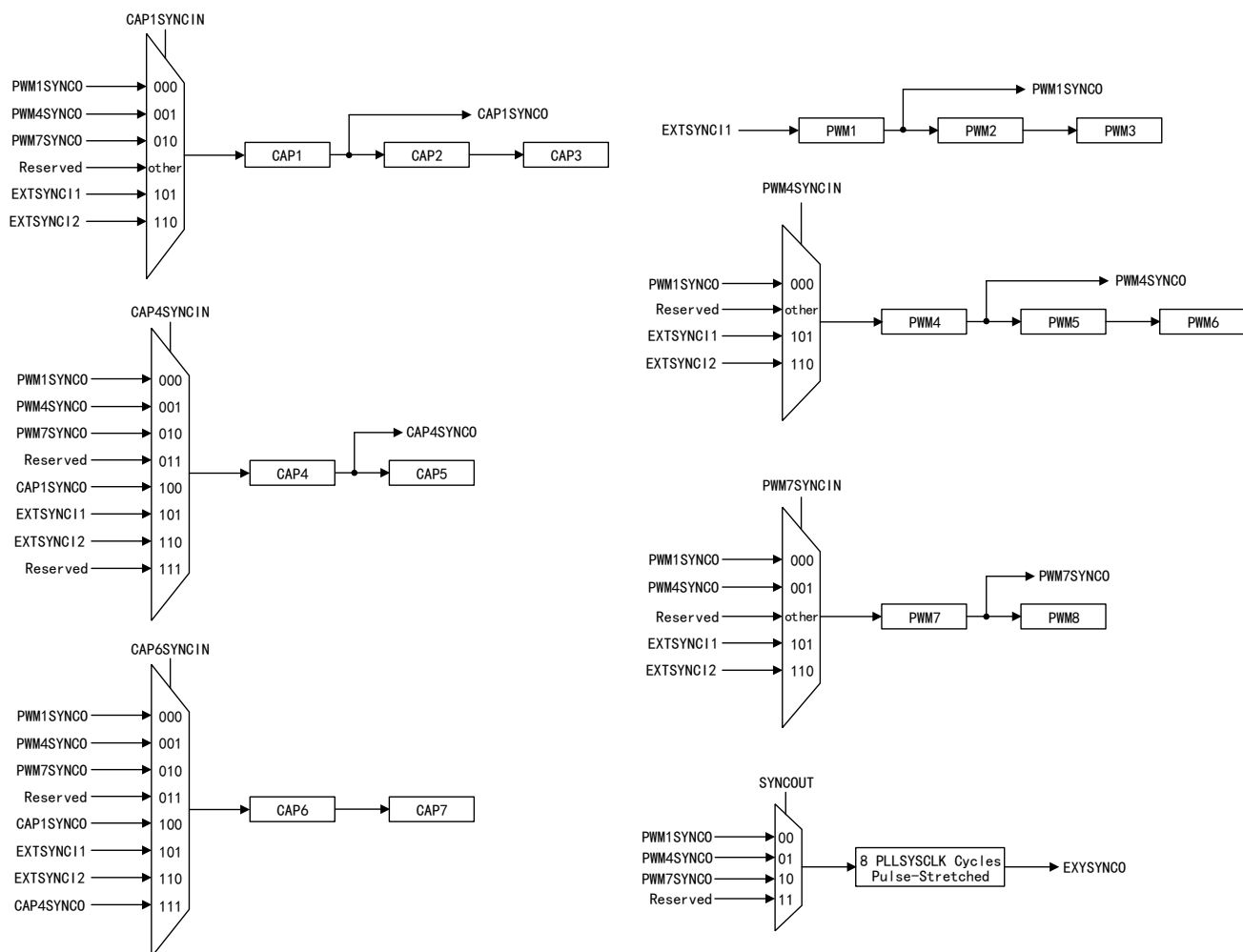
图 61 PWM 跳闸输入结构框图



5.10.3.1. 控制外设同步

PWM 和 CAP 同步链允许系统的多个模块之间进行同步。

图 62 时基计数器同步结构框图



5.10.3.2. PWM 电气数据和时序

表格 107 PWM 时序要求

符号	参数	条件	最小值	最大值	单位
t_w (SYNIN)	同步输入脉冲宽度	异步	$2t_c$ (PWMCLK)	-	周期
		同步	$2t_c$ (PWMCLK)	-	
		带输入限定器 ⁽¹⁾	$1t_c$ (PWMCLK) + t_w (IQSW)	-	

注意:

(1) 有关输入限定参数的说明, 请参阅“通用输入时序要求”表。

表格 108 PWM 开关特性

符号	参数	最小值	最大值	单位
t_w (PWM)	脉冲持续时间, PWMx 输出高电平/低电平	20	-	ns
t_w (SYNOUT)	同步输出脉冲宽度	$4t_c$ (APBCLK)	-	周期

符号	参数	最小值	最大值	单位
$t_d(TZ-PWM)$	延迟时间, 跳变输入激活到 PWM 强制高电平 延迟时间, 跳变输入激活到 PWM 强制低电平 延迟时间, 跳变输入激活到 PWM 高阻抗	-	35	ns

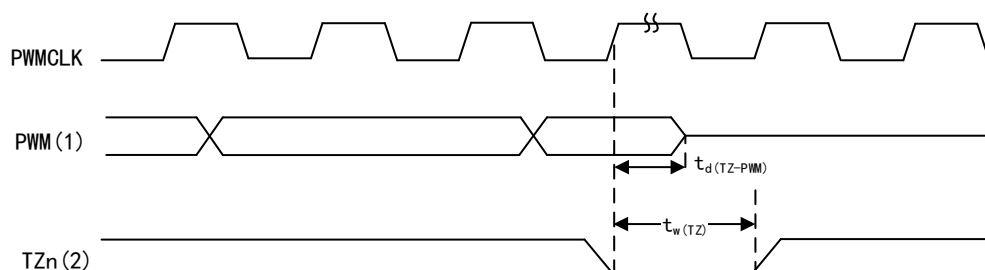
表格 109 跳闸区域输入时序要求

符号	参数	条件	最小值	最大值	单位
t_w (TZ)	脉冲持续时间, TZxn 输入低电平	异步	$1t_c(PWMCLK)$		周期
		同步	$2t_c(PWMCLK)$		
		带输入限定器 ⁽¹⁾	$1t_c(PWMCLK) + t_w(IQSW)$		

注意:

- (1) 有关输入限定参数的说明, 请参阅“通用输入时序要求”表。

图 63 PWM Hi-Z 特征



注意:

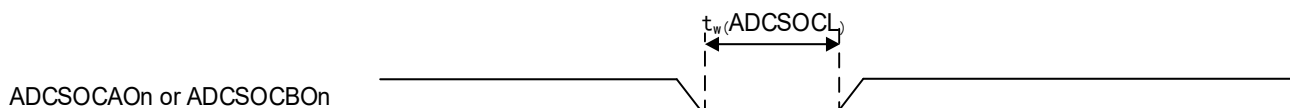
- (1) PWM 是指器件内的所有 PWM 引脚。TZn 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。
(2) TZn: TZ1n、TZ2n、TZ3n、TRIP1 至 TRIP12

5.10.3.3. 外部 ADC 转换启动电气数据和时序

表格 110 外部 ADC 转换启动开关特性

符号	参数	最小值	最大值	单位
$t_w(ADCSOCL)$	脉冲持续时间, ADCSOCxOn 低电平	$32t_c(APBCLK)$		周期

图 64 ADCSOCxOn 或 ADCSOCBOn 时序



5.10.4. 高分辨率脉冲宽度调制器 (HRPWM)

5.10.4.1. 主要特征

- (1) HRPWM 允许的最小 HRPWMCLK 频率为 60MHz
(2) 可以用于控制 PWM 信号的占空比和相位
(3) 具有扩展时间分辨率能力

- (4) 死区高分辨率控制
 - 允许在半周期时钟运行时，对 RED 和 FED 进行控制
- (5) 允许对 PWM 输出进行使能高分辨率切换
- (6) 通过翻转 PWMxA 信号输出可以使能对 PWMxB 信号输出的高分辨率控制
- (7) 应用在 PWMxA 和 PWMxB 输出（PWM 的 A 和 B 信号路径）上
- (8) 自检诊断软件模式
 - 该模块用于检查 HRP 逻辑的运行状况，即检查是否按设计运行
- (9) 通过扩展 CMPA、CMPB 和 TBPHS 寄存器对 PWM 信号进行精细的边沿定位或时间粒度控制
- (10) 允许在具有 PWM 模块的设备上对 PWM 输出信号的高分辨率周期、占空比和相位进行高分辨率控制

5.10.4.2. HRPWM 电气数据和时序

表格 111 高分辨率 PWM 特征

参数	最小值	典型值	最大值	单位
微边沿定位（HRP）步长 ⁽¹⁾		150	310	ps

注意：使用 HRPWM 特性的应用应该使用 HRP 比例因子优化器（SFO）估计软件功能。

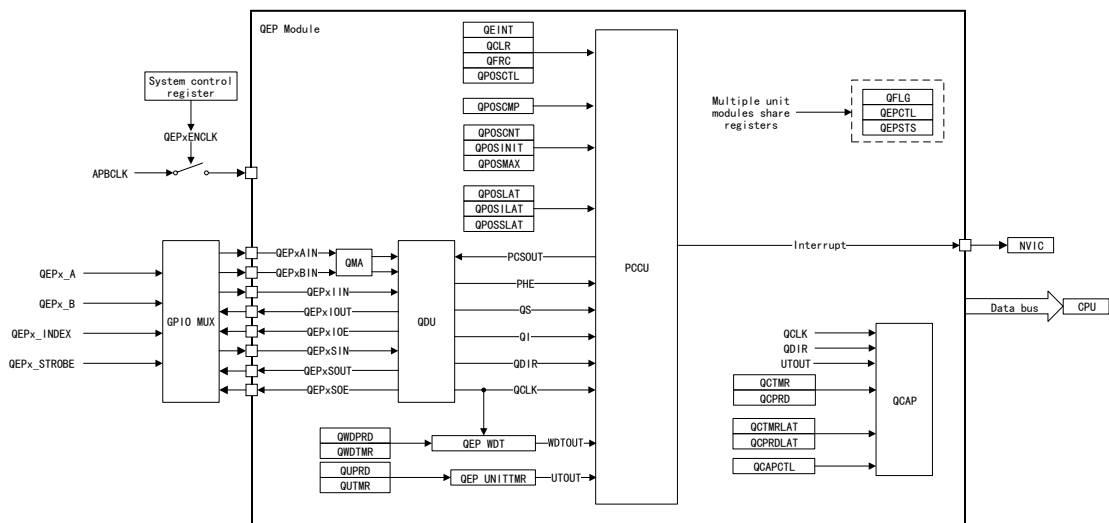
- (1) HRP 步长在高温和 VDD 上的电压最小时达到最大值。HRP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。

5.10.5. 正交编码器脉冲（QEP）

QEP 外设包含以下主要功能单元：

- 针对每个引脚的可编程输入鉴定（GPIO MUX 的一部分）
- 正交解码器单元（QDU）
- 用于位置测量的位置计数器和控制单元（PCCU）
- 用于低速测量的正交边沿捕捉单元（QCAP）
- 用于速度/频率测量的单位时基（UTIME）
- 用于检测失速的看门狗计时器（QWDOG）
- 正交模式适配器（QMA）

图 65QEP 结构框图



5.10.5.1. QEP 电气数据和时序

表格 112 QEP 时序要求

符号	参数	条件	最小值	最大值	单位
t_w (QEPP)	QEP 输入周期	异步 ⁽²⁾ /同步	$2t_c$ (APBCLK)		周期
		带输入限定器 ⁽¹⁾	$2[1t_c$ (APBCLK) + t_w (IQSW)]		
t_w (INDEXH)	QEP 索引输入高电平时间	异步 ⁽²⁾ /同步	$2t_c$ (APBCLK)		周期
		带输入限定器 ⁽¹⁾	$2t_c$ (APBCLK) + t_w (IQSW)		
t_w (INDEXL)	QEP 索引输入低电平时间	异步 ⁽²⁾ /同步	$2t_c$ (APBCLK)		周期
		带输入限定器 ⁽¹⁾	$2t_c$ (APBCLK) + t_w (IQSW)		
t_w (STROBH)	QEP 选通高电平时间	异步 ⁽²⁾ /同步	$2t_c$ (APBCLK)		周期
		带输入限定器 ⁽¹⁾	$2t_c$ (APBCLK) + t_w (IQSW)		
t_w (STROBL)	QEP 选通输入低电平时间	异步 ⁽²⁾ /同步	$2t_c$ (APBCLK)		周期
		带输入限定器 ⁽¹⁾	$2t_c$ (APBCLK) + t_w (IQSW)		

注意:

- (1) 有关输入限定参数的说明, 请参阅“通用输入时序要求”表。
- (2) 有关异步模式中的限制, 请参阅“器件勘误”表。

表格 113 QEP 开关特性

符号	参数	最小值	最大值	单位
t_d (CNTR) xin	延迟时间, 外部时钟到计数器增量		$5t_c$ (APBCLK)	周期
t_d (PCS-OUT) QEP	延迟时间, QEP 输入边沿到位置比较同步输出		$7t_c$ (APBCLK)	个周期

5.10.6. Σ - Δ 滤波器模块 (SDF)

SDF 是一个设计用于电机控制系统的高级数字滤波装置, 拥有四个独立的输入通道。在电机控制应用中, 这些

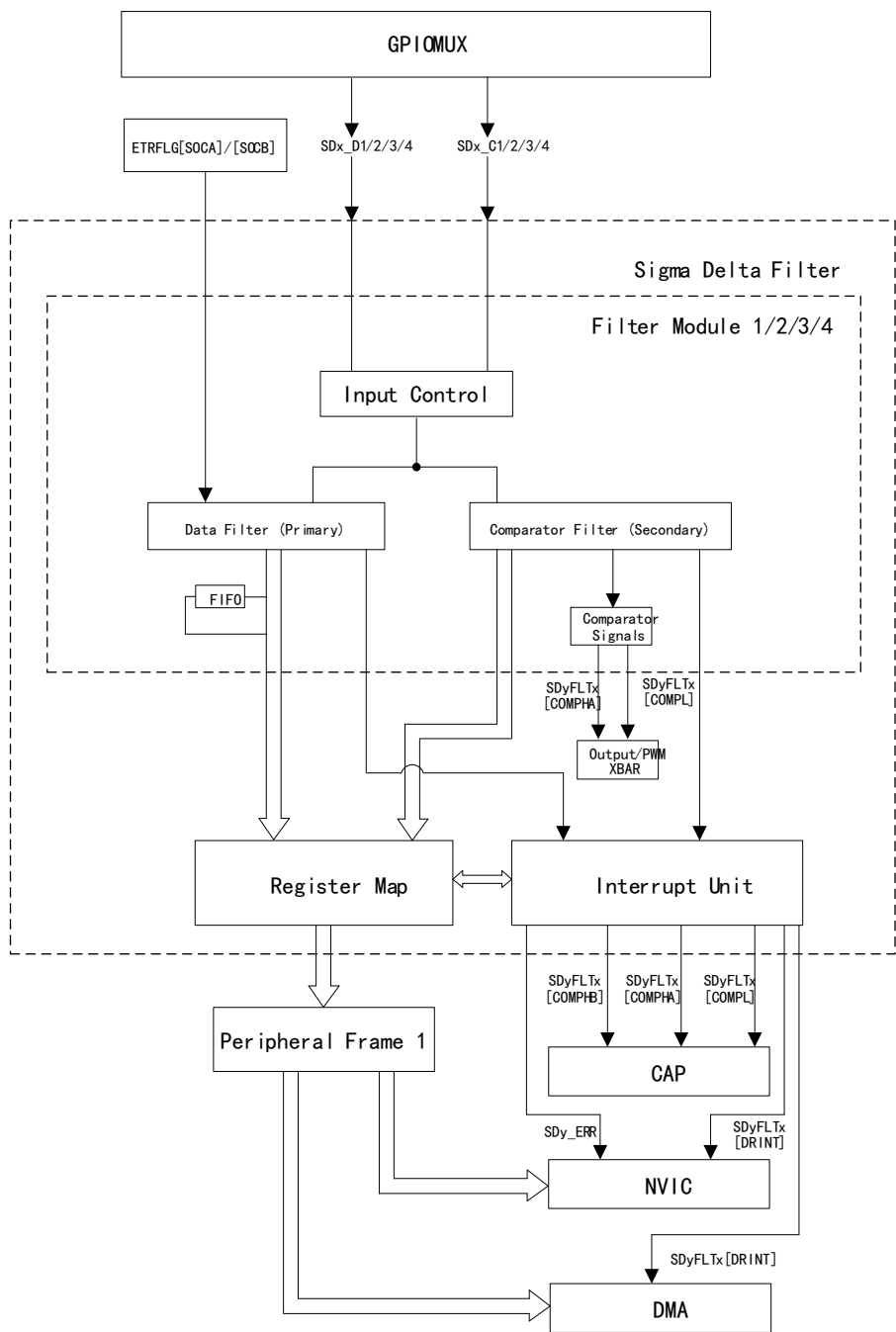
输入通道通常用于电流测量和解算器位置解码，每个输入通道都能独立地接收来自 Sigma Delta 调制器的比特流。具备四个各自可编程的数字解调滤波器，这些滤波器能够精确调整以适应各种信号处理要求。此外，SDF 还配备了一个快速比较器作为次级滤波器，它可以迅速执行数字阈值比对，用于即时监测过电流和欠电流，以及信号的过零检测。

5.10.6.1. 主要特征

- (1) SDF 拥有四个可独立配置的主滤波器（数据滤波器）单元：
 - 可以使能或禁用滤波器模块；
 - 提供 4 种的滤波器类型选择，包括 Sinc1/Sinc2/SincFast/Sinc3；
 - 数据滤波单元的过采样率（OSR，DOSR）设置在 1 到 256；
 - 可以通过主滤波器使能位或 PWM 信号同步四个独立滤波器；
- (2) SDF 模块包含四个可独立配置的二级滤波器（比较器）单元：
 - 可以进行超值、低值和阈值交叉检测；
 - 提供 4 种的滤波器类型选择，包括 Sinc1/Sinc2/SincFast/Sinc3；
 - 比较器滤波单元的过采样率（OSR，COSR）设置在 1 到 32 之间；
- (3) SDF 模块具有 8 个外部引脚，分别为四个数据输入引脚和四个时钟输入引脚：
 - 数据输入引脚接收从 Sigma-Delta 数据信号；
 - 时钟输入引脚接收 Sigma-delta 时钟信号；
- (4) PWM 信号还可以用来为 Sigma-Delta 调制器生成所需的调制器时钟；
- (5) 数据滤波器单元配备了一个可编程的 FIFO 模式；
- (6) SDF 允许使用 PWM 信号作为同步数据滤波器通道的来源；
- (7) SDF 支持不同的调制器时钟工作模式，以适应不同的应用需求：
 - 模式 0：调制器的时钟频率与数据频率相同
 - 模式 1：调制器的时钟频率是数据频率的一半
 - 模式 2：采用曼彻斯特编码的调制器数据，不需额外的时钟信号
 - 模式 3：调制器的时钟频率是数据频率的两倍

注意：需要避免在 SDx_Cy 输入端出现噪声。为了避免 SDF 的结果出现异常，应该要满足最小脉冲宽度要求（避免噪声干扰）。

图 66 SDF 结构框图



5.10.6.2. SDF 电气数据和时序

通过设置 GPyQSELn= 11 定义具有异步 GPIO 的 SDF 操作。

表格 114 使用异步 GPIO (ASYNC) 选项时的 SDF 时序要求

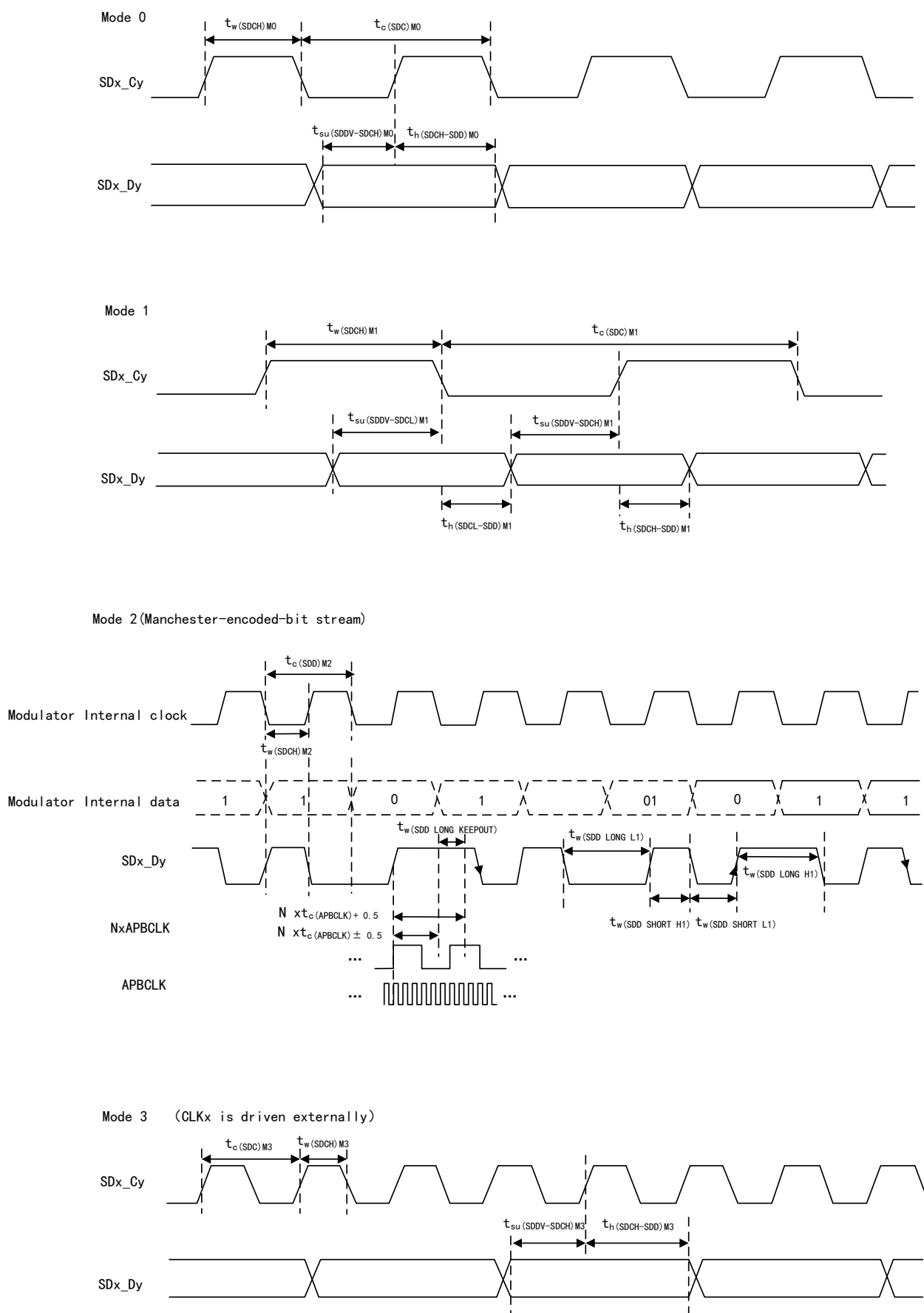
符号	参数	最小值	最大值	单位
模式 0				
t_c (SDC) M0	周期时间, SDx_Cy	40	256 个 APBCLK 周期	ns
t_w (SDCH) M0	脉冲持续时间, SDx_Cy 高电平	10	t_c (SDC) M0 - 10	ns

符号	参数	最小值	最大值	单位
t_{su} (SDDV-SDCH) M0	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
t_h (SDCH-SDD) M0	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 1				
t_c (SDC) M1	周期时间, SDx_Cy	80	256 个 APBCLK 周期	ns
t_w (SDCH) M1	脉冲持续时间, SDx_Cy 高电平	10	t_c (SDC) M1 - 10	ns
t_{su} (SDDV-SDCL) M1	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	5		ns
t_{su} (SDDV-SDCH) M1	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
t_h (SDCL-SDD) M1	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	5		ns
t_h (SDCH-SDD) M1	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns
模式 2				
t_c (SDD) M2	周期时间, SDx_Dy	8 个 t_c (APBCLK)	20 个 t_c (APBCLK)	ns
t_w (SDDH) M2	脉冲持续时间, SDx_Dy 高电平	10		ns
t_w (SDD_LONG_KEEPOUT) M2	SDx_Dy 长脉冲持续保留时间, 其中长脉冲不得落入所列出的最小值或最大值内。 长脉冲被定义为高或低脉冲, 其是曼彻斯特位时钟周期的完整宽度。 对于 8 到 20 之间的任何整数, 都必须满足此要求。	$(N * t_c \text{ (APBCLK)}) - 0.5$	$(N * t_c \text{ (APBCLK)}) + 0.5$	ns
t_w (SDD_SHORT) M2	用于高或低脉冲的 SDx_Dy 短脉冲持续时间 (SDD_SHORT_H 或 SDD_SHORT_L)。 短脉冲定义为高或低脉冲, 其是曼彻斯特位时钟周期的一半宽度。	$t_w \text{ (SDD_LONG)} / 2 - t_c \text{ (APBCLK)}$	$t_w \text{ (SDD_LONG)} / 2 + t_c \text{ (APBCLK)}$	ns
t_w (SDD_LONG_DUTY) M2	SDx_Dy 长脉冲变化 (SDD_LONG_H - SDD_LONG_L)	$- t_c \text{ (APBCLK)}$	$t_c \text{ (APBCLK)}$	ns
t_w (SDD_SHORT_DUTY) M2	SDx_Dy 短脉冲变化 (SDD_SHORT_H - SDD_SHORT_L)	$- t_c \text{ (APBCLK)}$	$t_c \text{ (APBCLK)}$	ns
模式 3				
t_c (SDC) M3	周期时间, SDx_Cy	40	256 个 APBCLK 周期	ns
t_w (SDCH) M3	脉冲持续时间, SDx_Cy 高电平	10	t_c (SDC) M3 - 5	ns
t_{su} (SDDV-SDCH) M3	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	5		ns
t_h (SDCH-SDD) M3	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	5		ns

5.10.6.2.1. SDF 时序图

当没有 GPIO 输入同步时, SDF 时钟输入 (SDx_Cy 引脚) 直接对 SDF 模块进行计时。这些输入端的任何干扰或振铃噪声都会破坏 SDF 模块的运行。应对这些信号采取特殊的预防措施, 以确保满足 SDF 时序要求的干净且无噪声的信号。建议采取预防措施, 例如对时钟驱动器的任何阻抗不匹配而导致的振铃进行串联终止, 以及将走线与其他噪声信号隔离开来。

图 67 SDF 时序图



5.10.6.3. SDF 电气数据和时序（同步 GPIO）

通过设置 GPyQSELn = 0 来定义具有同步 GPIO 的 SDF 操作。使用这种同步 GPIO 模式时，必须满足 t_w （GPI）脉冲持续时间至少为 $2t_c$ （APBCLK）的时序要求。为 SD-Cx 和 SD-Dx 对配置 SYNC 选项非常重要。

表格 115 使用同步 GPIO（SYNC）选项时的 SDF 时序要求

符号	参数	最小值	最大值	单位
模式 0				
t_c (SDC) M0	周期时间, SDx_Cy	5 个 APBCLK 周期	256 个 APBCLK 周期	ns
t_w (SDCH) M0	脉冲持续时间, SDx_Cy 高电平	2 个 APBCLK 周期	3 个 APBCLK 周期	ns
t_{su} (SDDV-SDCH) M0	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 APBCLK 周期		ns
t_h (SDCH-SDD) M0	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 APBCLK 周期		ns
模式 1				
t_c (SDC) M1	周期时间, SDx_Cy	10 个 APBCLK 周期	256 个 APBCLK 周期	ns
t_w (SDCH) M1	脉冲持续时间, SDx_Cy 高电平	2 个 APBCLK 周期	8 个 APBCLK 周期	ns
t_{su} (SDDV-SDCL) M1	SDx_Cy 变为低电平之前 SDx_Dy 有效的设置时间	2 个 APBCLK 周期		ns
t_{su} (SDDV-SDCH) M1	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 APBCLK 周期		ns
t_h (SDCL-SDD) M1	SDx_Cy 变为低电平之后 SDx_Dy 等待的保持时间	2 个 APBCLK 周期		ns
t_h (SDCH-SDD) M1	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 APBCLK 周期		ns
模式 3				
t_c (SDC) M3	周期时间, SDx_Cy	5 个 APBCLK 周期	256 个 APBCLK 周期	ns
t_w (SDCH) M3	脉冲持续时间, SDx_Cy 高电平	2 个 APBCLK 周期	3 个 APBCLK 周期	ns
t_{su} (SDDV-SDCH) M3	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 APBCLK 周期		ns
t_h (SDCH-SDD) M3	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 APBCLK 周期		ns

SDF 同步 GPIO（SYNC）选项可以防止 SDF 模块因 SDx_Cy 引脚上偶尔随机产生的噪声干扰而损坏，这些噪声干扰可能导致错误的比较器跳闸和滤波器输出。SDF 同步 GPIO（SYNC）模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

5.11. 通信外设

5.11.1. 控制器局域网（CAN）

5.11.1.1. 主要特征

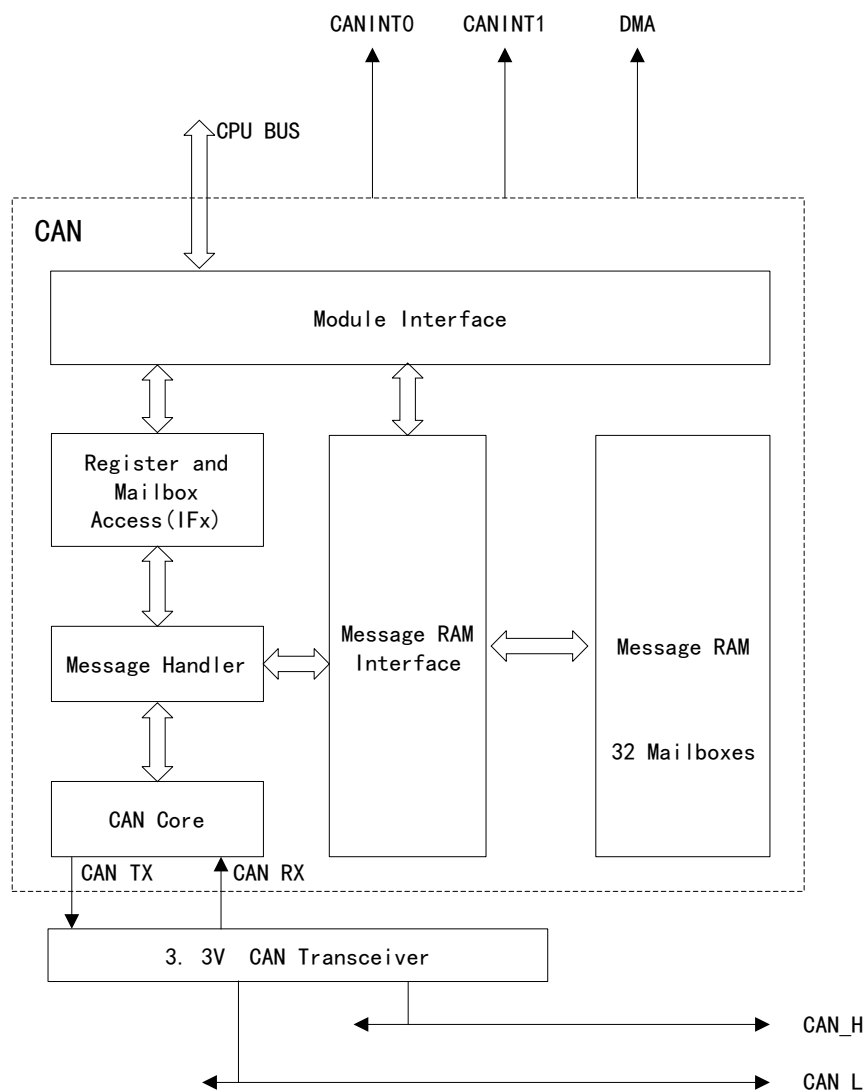
- （1）通信比特率最高为 1Mbps
- （2）符合 ISO11898-1 协议规范（CAN 协议 2.0A 和 2.0B）
- （3）两个中断线：CANINT0 和 CANINT1
- （4）支持 DMA 功能

- (5) 支持多种时钟源
- (6) 支持软件模块复位
- (7) 支持报文 RAM 奇偶校验机制
- (8) 支持挂起模式，用于调试操作
- (9) 支持可编程环回模式，用于自检操作
- (10) 进入 Bus-off 状态后，由 32 位可编程定时器自动恢复到 bus-on
- (11) 32 个邮箱，每个邮箱的特性如下：
 - 支持发送或接收功能
 - 支持数据帧和远程帧两种帧类型
 - 支持 11 位标准标识符或 29 位扩展标识符，标识符接收掩码可配置
 - 可容纳 0-8 个字节的数据
 - 支持数据 RAM 和奇偶校验配置
 - 每个邮箱都有一个独立的标识符掩码
 - 支持可编程的 FIFO 模式

注意：

- (1) 根据使用的时序设置，片上内置晶振的精度可能不符合 CAN 协议的要求，此时必须使用外部时钟源，片上内置晶振的精度详情请参见数据手册。

图 68 CAN 结构框图



5.11.2. 内部集成电路 (I2C)

5.11.2.1. 主要特征

- (1) 可选择主机或从机模式
 - 多主机发送和从机接收
 - 多从机发送和主机接收
 - 主机发送/接收和接收/发送模式
- (2) 自由数据格式模式
- (3) 8 位格式传输
- (4) 7 位和 10 位寻址模式
- (5) 广播通信
- (6) 起始字节模式
- (7) 数据传输速率: 10 kbps~400 kbps

(8) 接收 FIFO 和发送 FIFO

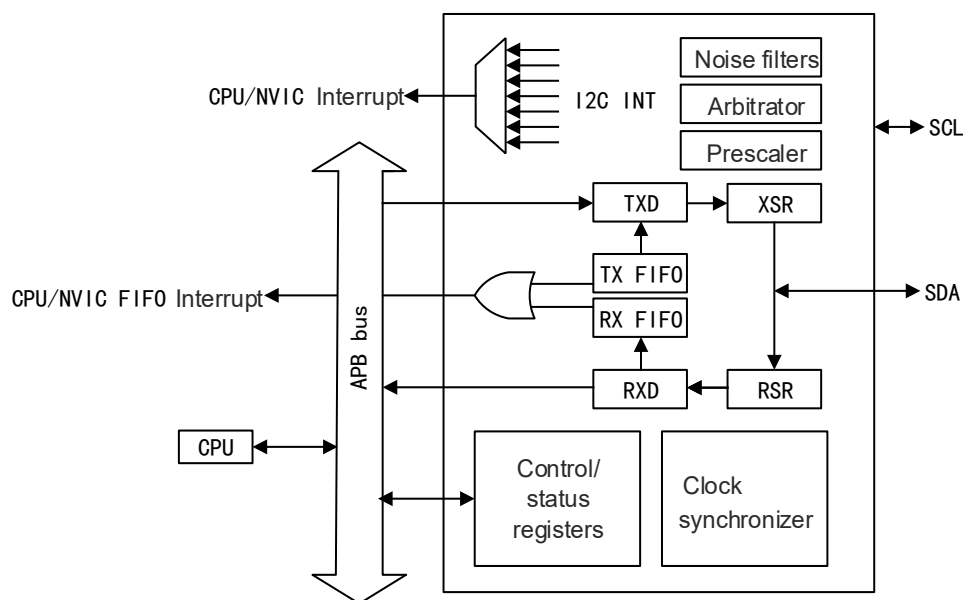
(9) I2C 中断

- 发送数据准备就绪
- 接收数据准备就绪
- 寄存器访问准备就绪
- 作为从机被寻址
- 未收到应答
- 总线仲裁失败
- 检测到停止条件

(10) I2CFIFO 中断

- 发送 FIFO 中断
- 接收 FIFO 中断

图 69 I2C 结构框图



5.11.2.2. I2C 电气数据和时序

表格 116 I2C 时序要求

编号	符号	参数	标准模式		快速模式		单位
			最小值	最大值	最小值	最大值	
T0	f_{mod}	I2C 模块频率	7	12	7	12	MHz
T1	$t_{th} (SDA-SCL) START$	保持时间, 启动条件, SDA 下降后 SCL 下降延迟	4.0		0.6		μs
T2	$t_{su} (SCL-SDA) START$	设置时间, 重复启动, SDA 下降延迟之前 SCL 上升	4.0		0.6		μs
T3	$t_{th} (SCL-DAT)$	保持时间, SCL 下降后的数据	0		0		μs
T4	$t_{su} (DAT-SCL)$	设置时间, SCL 上升前的数据	250		100		ns
T5	$t_r (SDA)$	上升时间, SDA		1000	20	300	ns

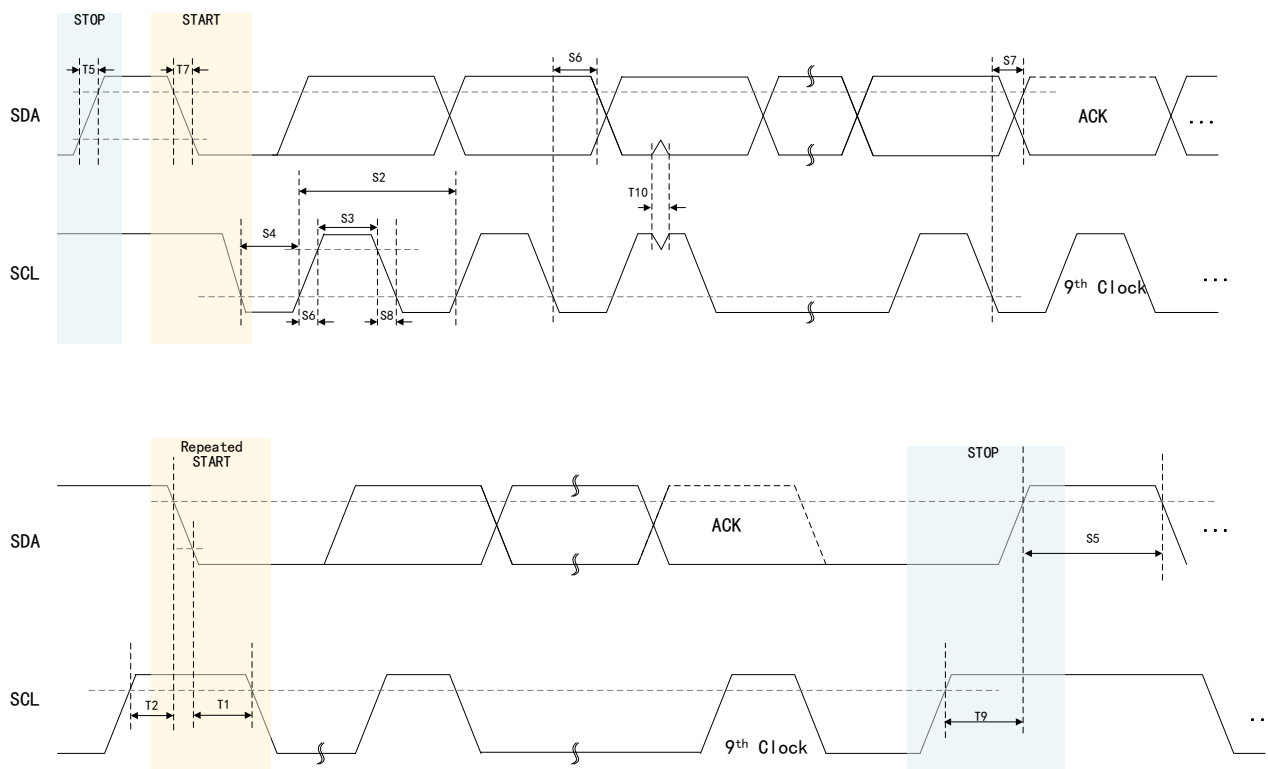
编号	符号	参数	标准模式		快速模式		单位
			最小值	最大值	最小值	最大值	
T6	$t_r(SCL)$	上升时间, SCL		1000	20	300	ns
T7	$t_f(SDA)$	下降时间, SDA		300	11.4	300	ns
T8	$t_f(SCL)$	下降时间, SCL		300	11.4	300	ns
T9	$t_{su}(SCL-SDA) STOP$	设置时间, 停止条件, SDA 上升延迟之前 SCL 上升	4.0		0.6		μs
T10	$t_w(SP)$	将由滤波器抑制的尖峰脉冲持续时间	0	50	0	50	ns
T11	C_b	每条总线上的电容负载		400		400	pF

表格 117 I2C 开关特性

编号	符号	参数	测试条件	标准模式		快速模式		单位
				最小值	最大值	最小值	最大值	
S1	f_{SCL}	SCL 时钟频率		0	100	0	400	kHz
S2	T_{SCL}	SCL 时钟周期		10		2.5		μs
S3	$t_w(SCLL)$	脉冲持续时间, SCL 时钟低电平		4.7		1.3		μs
S4	$t_w(SCLH)$	脉冲持续时间, SCL 时钟高电平		4.0		0.6		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		1.3		μs
S6	$t_v(SCL-DAT)$	有效时间, SCL 下降后的数据			3.45		0.9	μs
S7	$t_v(SCL-ACK)$	有效时间, SCL 下降后的确认			3.45		0.9	μs
S8	I_i	引脚上的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	10	-10	10	μA

为了满足所有的 I2C 协议时序规范, I2C 模块时钟 (Fmod) 必须配置为 7MHz 至 12MHz 范围内的值。

图 70 I2C 时序图

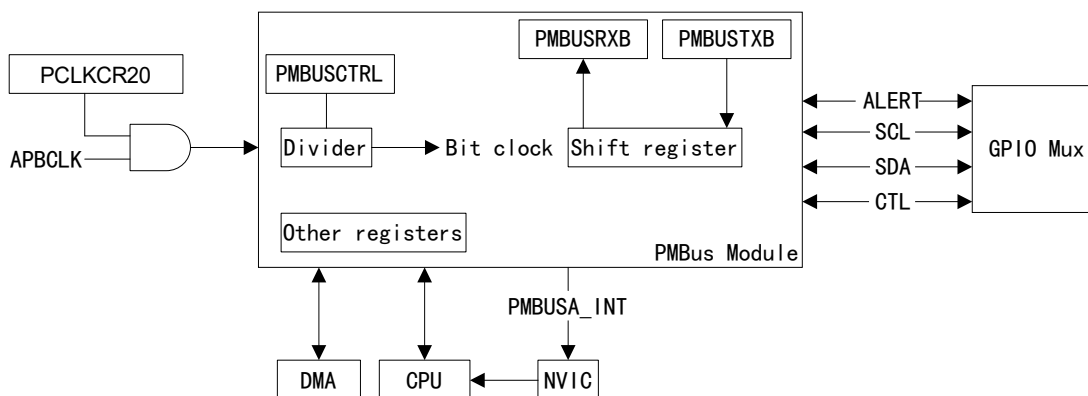


5.11.3. 电源管理总线（PMBus）接口

5.11.3.1. 主要特征

- (1) 具备 PEC 功能，支持主从模式以及 I2C 模式
- (2) 有四根信号线：ALERT、SCL、SDA、CONTROL
- (3) 控制信号电平和时序、解析地址和缓冲数据
- (4) 支持时钟高电平和低电平超时检测
- (5) 带有发送和接收缓冲区，长达四字节
- (6) 支持两种不同的通信速度，包括标准模式（最高 100kHz）和快速模式（最高 400kHz）
- (7) 可处理主从模式下多种报文类型
- (8) 可配置为手动或自动确认设备地址和命令字节
- (9) 报文传输结束发出 EOM 中断
- (10) 触发可屏蔽中断的条件：
 - 时钟低/高超时
 - 总线空闲
 - 发送缓冲区为空
 - 警报输入断言
 - 接收到数据就绪/从机地址
 - 发出 EOM 中断

图 71 PMBus 模块结构框图



5.11.3.2. PMBus 电气数据和时序

表格 118 PMBus 电气特性

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{IL}	有效低电平输入电压				0.8	V
V_{IH}	有效高电平输入电压		2.1		VDDIO	V
V_{OL}	低电平输出电压	在 $I_{pullup} = 4mA$ 时			0.4	V
I_{OL}	低电平输出电流	$V_{OL} \leq 0.4V$	4			mA
t_{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度		0		50	ns
I_i	每个引脚上的输入漏电流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10		10	μA
C_i	每个引脚上的电容				10	pF

表格 119 PMBus 开关特性

符号	参数	测试条件	标准模式			快速模式			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
f_{SCL}	SCL 时钟频率		10		100	10		400	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		4.7			1.3			μs
$t_{HD,STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		4			0.6			μs
$t_{SU,STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		4.7			0.6			μs
$t_{SU,STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		4			0.6			μs
$t_{HD,DAT}$	SCL 下降后的数据保持时间		300			300			ns
$t_{SU,DAT}$	SCL 上升前的数据设置时间		250			100			ns
$t_{Timeout}$	时钟低超时		25		35	25		35	ms
t_{LOW}	SCL 时钟的低电平周期		4.7			1.3			μs

符号	参数	测试条件	标准模式			快速模式			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
t_{HIGH}	SCL 时钟的高电平周期		4		50	0.6		50	μs
$t_{\text{LOW;SEXT}}$	累计时钟低电平延长时间（从机）	从启动到停止			25			25	ms
$t_{\text{LOW;MEXT}}$	累计时钟低电平延长时间（主机）	在每个字节内			10			10	ms
t_r	SDA 和 SCL 的上升时间	5%至95%			1000	365		422	ns
t_f	SDA 和 SCL 的下降时间	95%至5%			300	16		300	ns

5.11.4. 串行通信接口（UART）

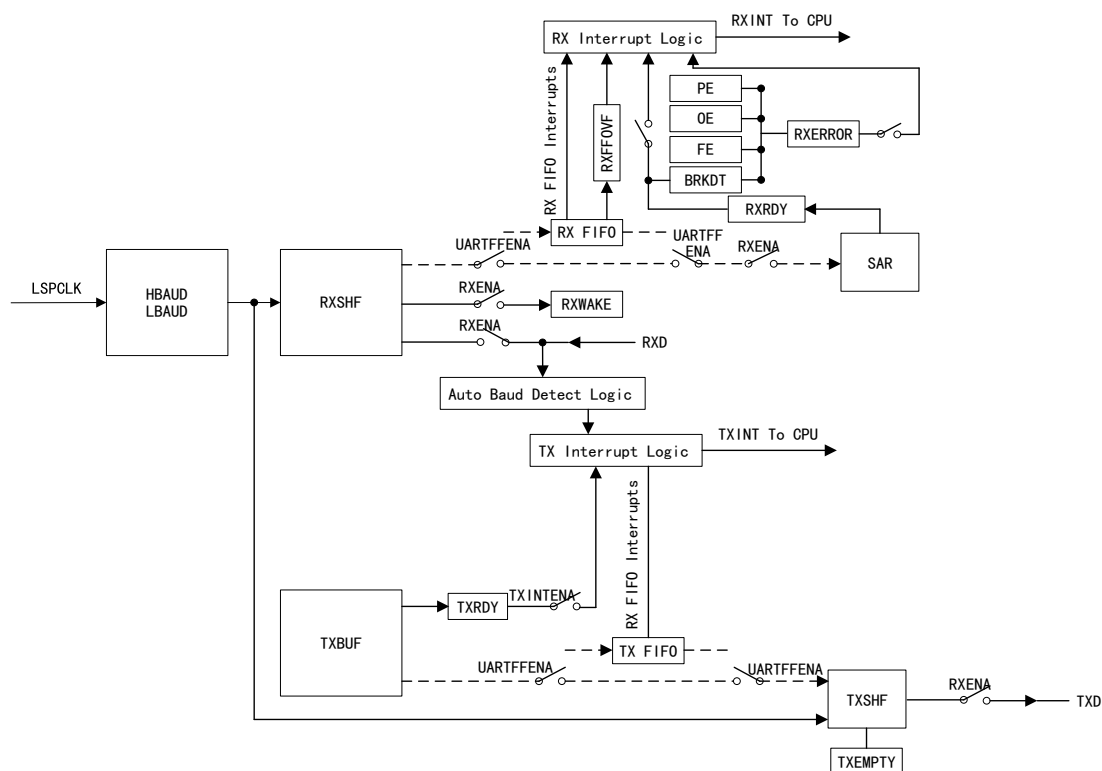
UART 是一个可以灵活地与外部设备进行全双工、半双工数据交换的串行通信设备，且同时满足外部设备对工业标准 NRZ 异步串行数据格式的要求。UART 还提供宽范围的波特率选择，且支持多处理器通信。此模块中的所有寄存器均为 8 位寄存器。当寄存器被访问时，寄存器数据位于低位字节（位 7-0），高位字节（位 15-8）读取为零。对高字节进行写入无效。

5.11.4.1. 主要特征

- （1） 全双工异步通信
- （2） 单线半双工通信
- （3） NRZ 标准格式
- （4） 可编程的串口特性：
 - 数据位：1 位-8 位
 - 校验位：偶校验，奇校验
 - 支持 1，2 个停止位
- （5） 可以区分数据和地址的位
- （6） 双缓冲接收和发送
- （7） 独立的发送器和接收器使能位
- （8） 独立的中断使能位
- （9） 可通过基于中断或轮询算法的状态完成发送器和接收器操作
- （10） 16 级发送/接收 FIFO
- （11） 可编程的波特率发生器
- （12） 波特率自动检测
- （13） 多处理器通信：
 - 空闲线模式
 - 地址位模式
- （14） 状态标志位：

- 传输检测标志：发送寄存器为空，接收寄存器不为空
- 错误检测标志：溢出错误，中断检测，奇偶校验错误，帧错误

图 72 UART 结构框图



5.11.5. 串行外设接口 (SPI)

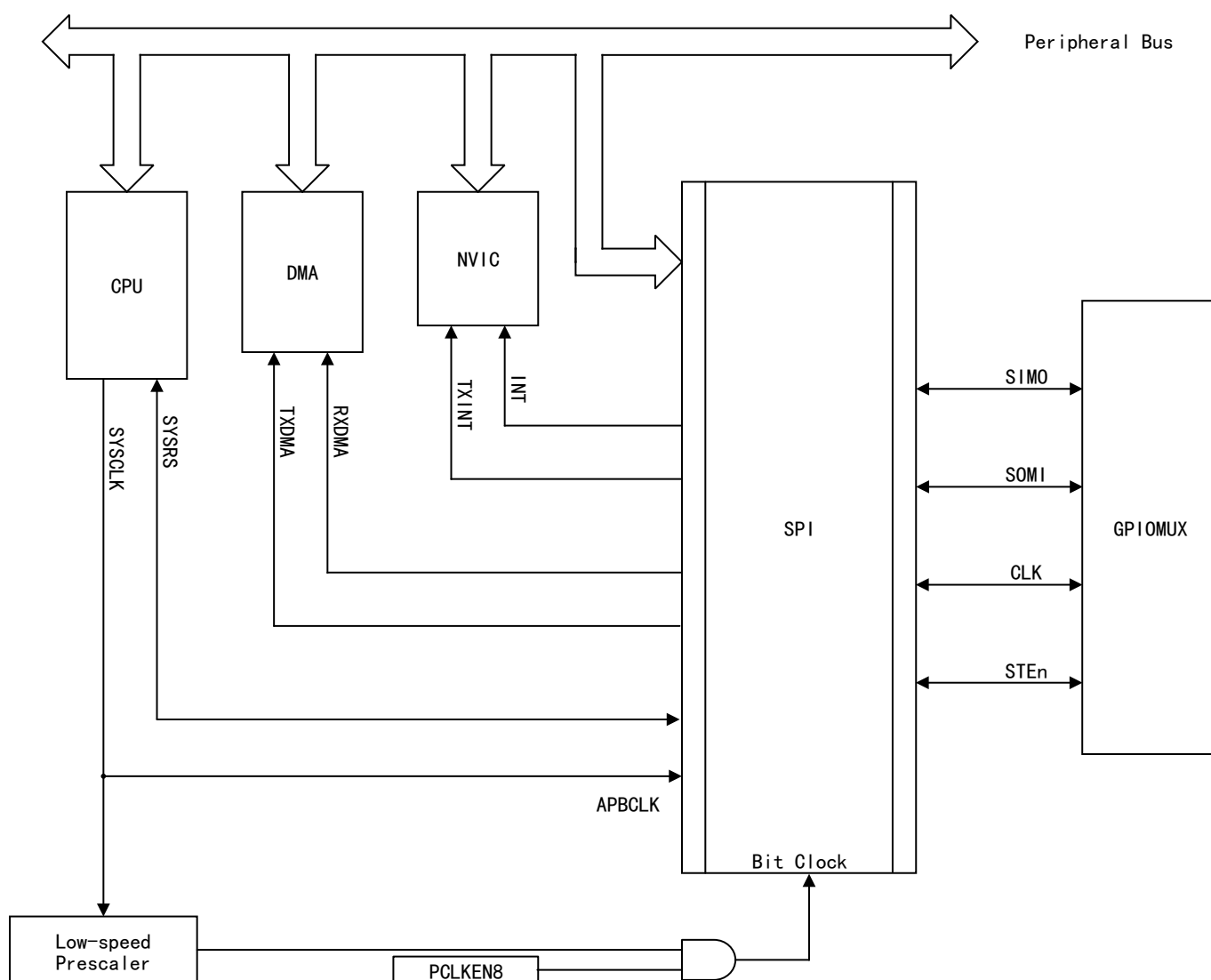
SPI 是高速同步串行输入输出端口，SPI 接口用于 MCU 与外设或其他控制器之间的通信，包括通过使用 ADC 转换器，移位寄存器和显示驱动等对外设或外部 I/O 进行扩展。可以工作于主机或者从机模式，支持多设备通信，有 125 种可编程的传输波特率，传输的字符长度可设定为 1-16 位。为了减少占用 CPU，支持 16 级发送/接收 FIFO 功能。

5.11.5.1. 主要特征

- (1) 时钟的极性和相位可编程，支持四种时钟方案
 - 无延迟上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 有延迟上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
 - 无延迟下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
 - 有延迟下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
- (2) 125 种可编程传输波特率
- (3) 支持 1-16 位传输数据
- (4) 支持主/从模式

- (5) 支持 FIFO 功能，16 个可编程中断级
- (6) 支持 DMA 功能
- (7) 支持传输延迟控制
- (8) SPI 高速模式
- (9) SPI 3 线模式
- (10) 支持数字音频传输功能
- (11) 同步收发操作（发送功能可以通过软件禁用）
- (12) 通过中断驱动或轮询算法完成发送和接收操作

图 73 SPI 的 CPU 接口结构框图



5.11.5.2. SPI 电气数据和时序

SPI 高速模式的所有时序参数都假设 SPICLK、SPISIMO 和 SPISOMI 上的负载电容为 5pF。

5.11.5.2.1. 非高速主模式时序

表格 120 SPI 非高速主模式开关特性

编号	符号	参数	(BRR+1) 条件 ⁽¹⁾	时钟相位= 0		时钟相位= 1		单位
				最小值	最大值	最小值	最大值	
1	t_c (SPC) M	周期时间, SPICLK	偶数	$4t_c$ (LSPCLK)	$128t_c$ (LSPCLK)	$4t_c$ (LSPCLK)	$128t_c$ (LSPCLK)	ns
			奇数	$5t_c$ (LSPCLK)	$127t_c$ (LSPCLK)	$5t_c$ (LSPCLK)	$127t_c$ (LSPCLK)	
2	t_w (SPC1) M	脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_c$ (SPC) M - 3	$0.5t_c$ (SPC) M + 3	$0.5t_c$ (SPC) M - 3	$0.5t_c$ (SPC) M + 3	ns
			奇数	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) - 3	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) + 3	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) 3	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) + 3	
3	t_w (SPC2) M	脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_c$ (SPC) M	$0.5t_c$ (SPC) M + 3	$0.5t_c$ (SPC) M - 3	$0.5t_c$ (SPC) M + 3	ns
			奇数	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) 3	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) + 3	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) - 3	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) 3	
4	t_d (SIMO) M	延迟时间, SPICLK 至 SPISIMO 有效的时间	偶数		5	$0.5t_c$ (SPC) M - 4		ns
			奇数		5	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) - 1		
5	t_v (SIMO) M	有效时间, SPICLK 之后 SPISIMO 有效的 时间	偶数	$0.5t_c$ (SPC) M - 6		$0.5t_c$ (SPC) M - 6		ns
			奇数	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) 3		$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) 1		
23	t_d (SPC) M	延迟时间, SPISITEn 有效至 SPICLK 的时间	偶数, 奇数	$1.5t_c$ (SPC) M - $3t_c$ (APBCLK) - 3		$2t_c$ (SPC) M - $3t_c$ (APBCLK) - 3		ns
24	t_d (STE) M	延迟时间, SPICLK 至 SPISITEn 无效的时间	偶数	$0.5t_c$ (SPC) M - 6		$0.5t_c$ (SPC) M - 6		ns
			奇数	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) 3		$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) 1		

注意:

- (1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

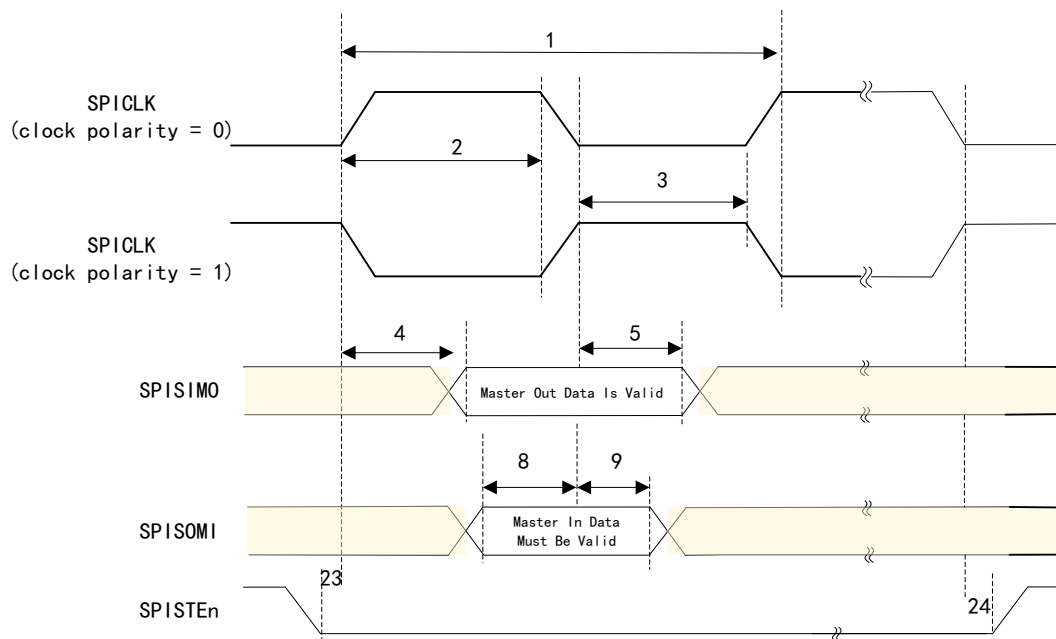
表格 121 SPI 非高速主模式时序要求

编号	符号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
8	t_{su} (SOMI) M	SPICLK 之前 SPISOMI 有效的设置时间	偶数, 奇数	20		ns
9	t_h (SOMI) M	SPICLK 之后 SPISOMI 有效的保持时间	偶数, 奇数	0		ns

注意:

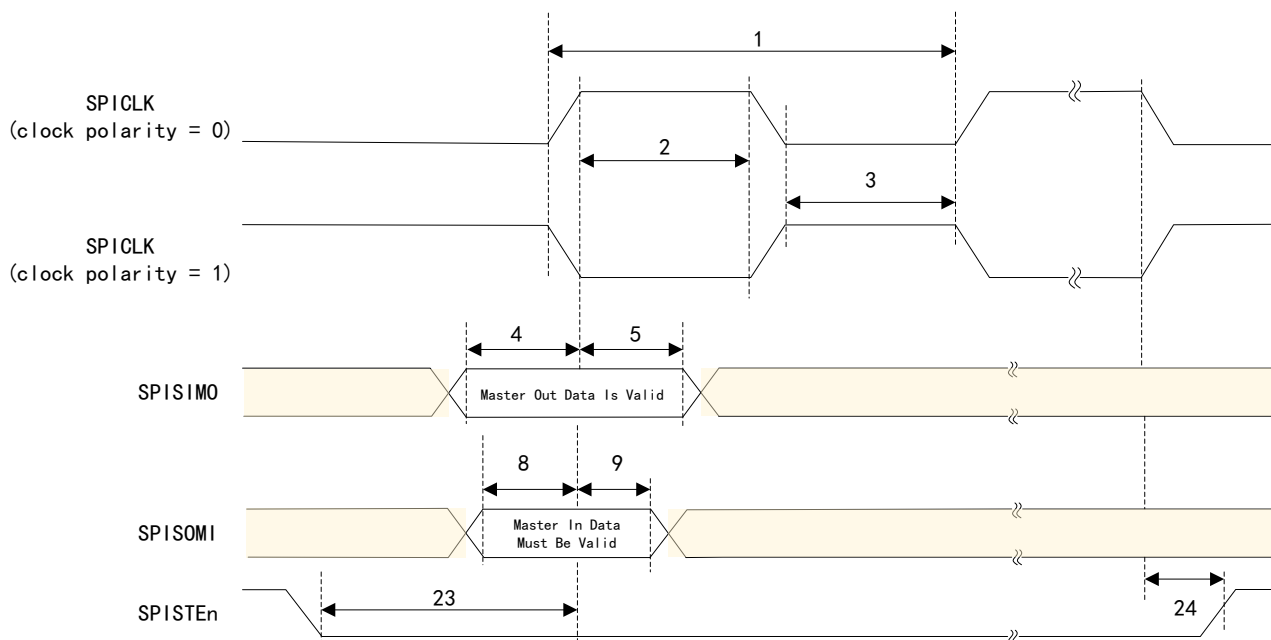
- (1) 当 $(SPIBRR + 1)$ 为偶数或 $SPIBRR$ 为 0 或 2 时, $(BRR + 1)$ 条件为偶数。当 $(SPIBRR + 1)$ 为奇数且 $SPIBRR$ 大于 3 时, $(BRR + 1)$ 条件为奇数。

图 74 非高速 SPI 主模式外部时序 (时钟相位 = 0)



注意: 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外, 在字的尾端, SPISTEn 将变为停止状态。

图 75 非高速 SPI 主模式外部时序 (时钟相位 = 1)



注意: 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外, 在字的尾端, SPISTEn 将变为停止状态。

5.11.5.2.2. 非高速从模式时序

表格 122 SPI 非高速从模式开关特性

编号	符号	参数	最小值	最大值	单位
15	$t_{d(SOMI)}$ S	延迟时间, SPICLK 至 SPISOMI 有效的时间		16	ns
16	$t_{v(SOMI)}$ S	有效时间, SPICLK 之后 SPISOMI 有效的时间	0		ns

表格 123 SPI 非高速从模式时序要求

编号	符号	参数	最小值	最大值	单位
12	$t_c(SPC)$ S	周期时间, SPICLK	$4t_c(SYSCLK)$		ns
13	$t_w(SPC1)$ S	脉冲持续时间, SPICLK, 第一个脉冲	$2t_c(SYSCLK) - 1$		ns
14	$t_w(SPC2)$ S	脉冲持续时间, SPICLK, 第二个脉冲	$2t_c(SYSCLK) - 1$		ns
19	$t_{su(SIMO)}$ S	SPICLK 之前 SPISIMO 有效的设置时间	$1.5t_c(SYSCLK)$		ns
20	$t_h(SIMO)$ S	SPICLK 之后 SPISIMO 有效的保持时间	$1.5t_c(SYSCLK)$		ns
25	$t_{su(STE)}$ S	SPICLK 之前 SPISTE 有效的设置时间 (时钟相位=0)	$2t_c(SYSCLK) + 2$		ns
		SPICLK 之前 SPISTE 有效的设置时间 (时钟相位=1)	$2t_c(SYSCLK) + 22$		ns
26	$t_h(STE)$ S	SPICLK 之后 SPISTE 无效的保持时间	$1.5t_c(SYSCLK)$		ns

图 76 非高速 SPI 从模式外部时序 (时钟相位 = 0)

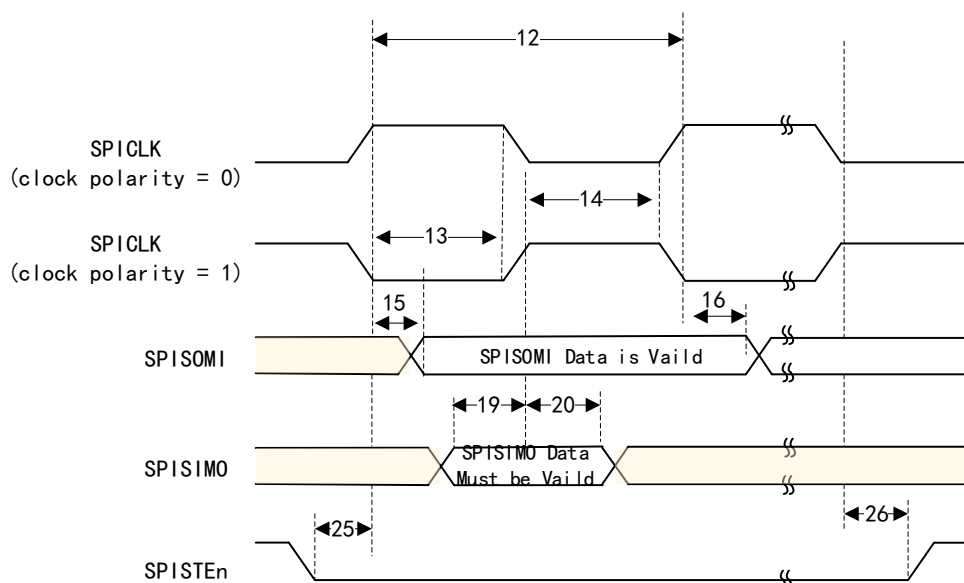
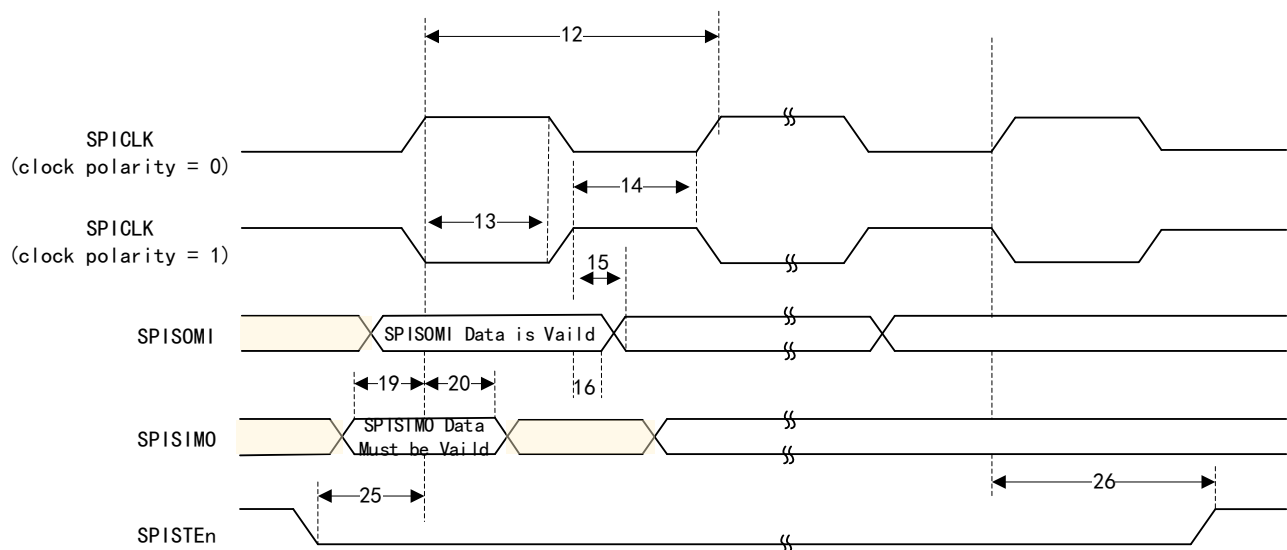


图 77 非高速 SPI 从模式外部时序 (时钟相位 = 1)



5.11.5.2.3. 高速主模式时序

表格 124 SPI 高速主模式开关特性

编号	符号	参数	(BRR+1) 条件 ⁽¹⁾	时钟相位= 0		时钟相位= 1		单位
				最小值	最大值	最小值	最大值	
1	t_c (SPC) M	周期时间, SPICLK	偶数	$4t_c$ (LSPCLK)	$128t_c$ (LSPCLK)	$4t_c$ (LSPCLK)	$128t_c$ (LSPCLK)	ns
			奇数	$5t_c$ (LSPCLK)	$127t_c$ (LSPCLK)	$5t_c$ (LSPCLK)	$127t_c$ (LSPCLK)	
2	t_w (SPC1) M	脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_c$ (SPC) M - 1	$0.5t_c$ (SPC) M + 1	$0.5t_c$ (SPC) M - 3	$0.5t_c$ (SPC) M + 3	ns
			奇数	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) - 1	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) + 1	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) - 3	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) + 3	
3	t_w (SPC2) M	脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_c$ (SPC) M - 1	$0.5t_c$ (SPC) M + 1	$0.5t_c$ (SPC) M - 3	$0.5t_c$ (SPC) M + 3	ns
			奇数	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) - 1	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) + 1	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) - 3	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) + 3	
4	t_d (SIMO) M	延迟时间, SPICLK 至 SPISIMO 有效的的时间	偶数		3	$0.5t_c$ (SPC) M - 4		ns
			奇数		3	$0.5t_c$ (SPC) M + $0.5t_c$ (LSPCLK) - 1		
5	t_v (SIMO) M	有效时间, SPICLK 之 后 SPISIMO 有效的时 间	偶数	$0.5t_c$ (SPC) M - 4		$0.5t_c$ (SPC) M - 6		ns
			奇数	$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) - 1		$0.5t_c$ (SPC) M - $0.5t_c$ (LSPCLK) - 1		
23	t_d (SPC) M	延迟时间, SPISTEn 有效至 SPICLK 的时间	偶数, 奇数	$1.5t_c$ (SPC) M - $3t_c$ (APBCLK) - 1		$2t_c$ (SPC) M - $3t_c$ (APBCLK) - 1		ns
24	t_d (STE)	延迟时间, SPICLK 至	偶数	$0.5t_c$ (SPC) M - 4		$0.5t_c$ (SPC) M - 6		

(1) 当 $(SPIBRR + 1)$ 为偶数或 $SPIBRR$ 为 0 或 2 时, $(BRR + 1)$ 条件为偶数。当 $(SPIBRR + 1)$ 为奇数且 $SPIBRR$ 大于 3 时, $(BRR + 1)$ 条件为奇数。

编号	符号	参数	(BRR + 1) 条件 ⁽¹⁾	最小值	最大值	单位
8	$t_{su(SOMI)}$ M	SPICLK 之前 SPISOMI 有效的设置时间	偶数, 奇数	2		ns
9	$t_h(SOMI)$ M	SPICLK 之后 SPISOMI 有效的保持时间	偶数, 奇数	11		ns

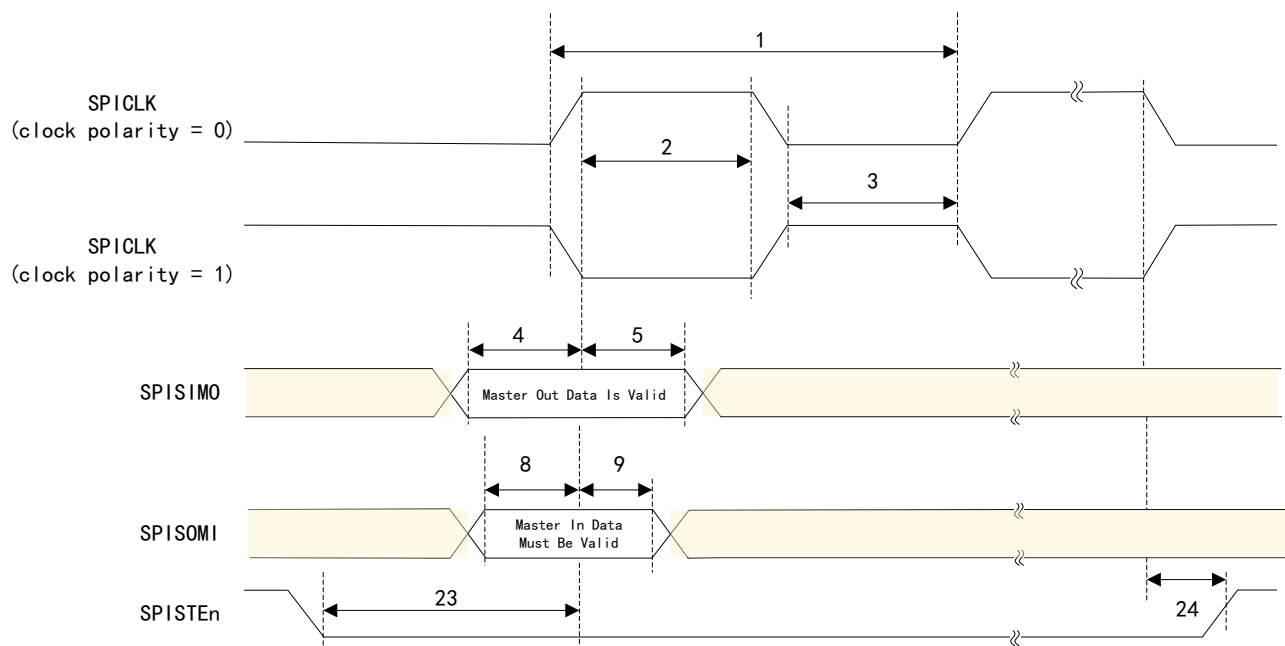
(1) 当 $(SPIBRR + 1)$ 为偶数或 $SPIBRR$ 为 0 或 2 时, $(BRR + 1)$ 条件为偶数。当 $(SPIBRR + 1)$ 为奇数且 $SPIBRR$ 大于 3 时, $(BRR + 1)$ 条件为奇数。

The diagram illustrates the timing relationships for SPI signals. The signals shown are SPICLK (clock polarity = 0 and 1), SPISIMO (Master Out Data Is Valid), SPISOMI (Master In Data Must Be Valid), and SPISTEn (chip select). The timing parameters are labeled as follows:

- 1: SPICLK period
- 2: SPICLK setup time before SPISIMO
- 3: SPICLK hold time after SPISIMO
- 4: SPISIMO setup time before SPISOMI
- 5: SPISIMO hold time after SPISOMI
- 8: SPISOMI setup time before SPISIMO
- 9: SPISOMI hold time after SPISIMO
- 23: SPISIMO setup time before SPISTEn
- 24: SPISIMO hold time after SPISTEn

Page193

图 79 高速 SPI 主模式外部时序（时钟相位 = 1）



注意：除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，SPISTE 将变为停止状态。

5.11.5.2.4. 高速从模式时序

表格 126 SPI 高速从模式开关特性

编号	符号	参数	最小值	最大值	单位
15	$t_d(SOMI)$ S	延迟时间，SPICLK 至 SPISOMI 有效的时间		14	ns
16	$t_v(SOMI)$ S	有效时间，SPICLK 之后 SPISOMI 有效的时间	0		ns

表格 127 SPI 高速从模式时序要求

编号	符号	参数	最小值	最大值	单位
12	$t_c(SPC)$ S	周期时间，SPICLK	$4t_c(APBCLK)$		ns
13	$t_w(SPC1)$ S	脉冲持续时间，SPICLK，第一个脉冲	$2t_c(APBCLK) - 1$		ns
14	$t_w(SPC2)$ S	脉冲持续时间，SPICLK，第二个脉冲	$2t_c(APBCLK) - 1$		ns
19	$t_{su}(SIMO)$ S	SPICLK 之前 SPISIMO 有效的设置时间	$1.5t_c(APBCLK)$		ns
20	$t_h(SIMO)$ S	SPICLK 之后 SPISIMO 有效的保持时间	$1.5t_c(APBCLK)$		ns
25	$t_{su}(STE)$ S	SPICLK 之前 SPISTE 有效的设置时间	$1.5t_c(APBCLK)$		ns
26	$t_h(STE)$ S	SPICLK 之后 SPISTE 无效的保持时间	$1.5t_c(APBCLK)$		ns

图 80 高速 SPI 从模式外部时序 (时钟相位 = 0)

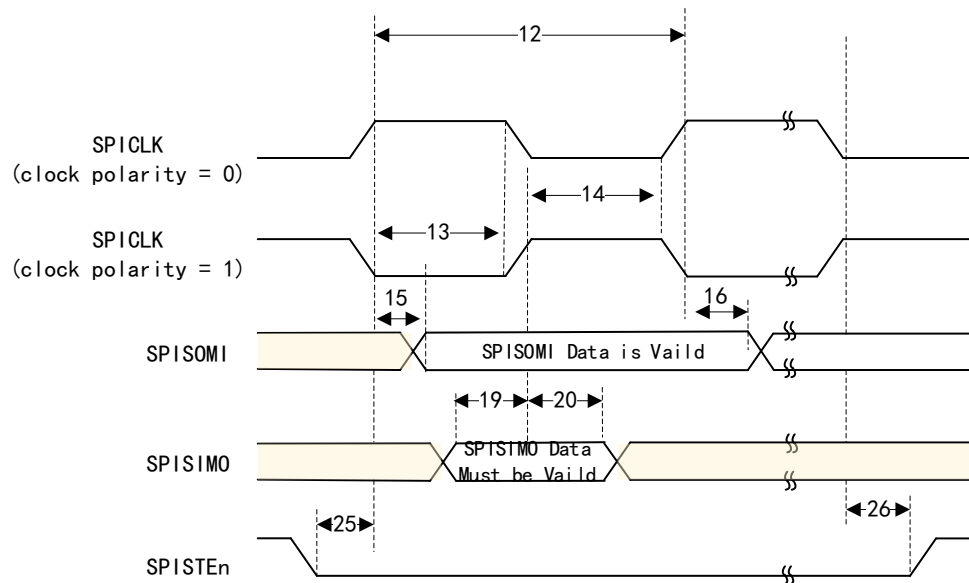
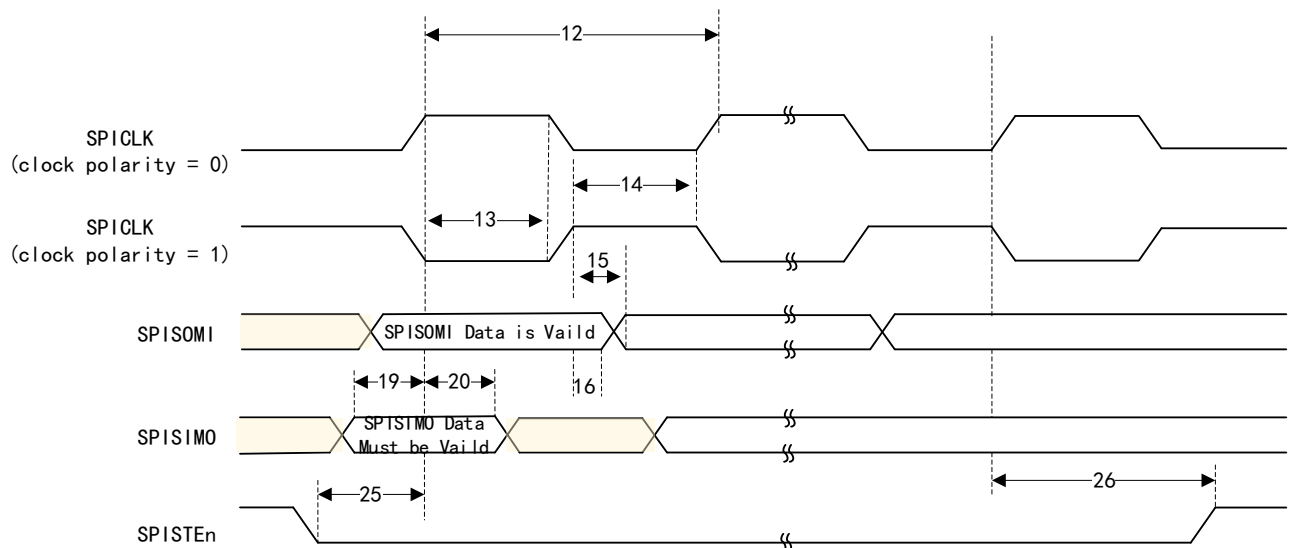


图 81 高速 SPI 从模式外部时序 (时钟相位 = 1)



5.11.6. 本地互连网络（LIN）

LIN 可以用作串行通信接口，在此兼容模式下，LIN 功能与其他独立的串口模块（UART）兼容，但是寄存器和代码等不同。模块作为串口时，处于兼容模式。

通过配置，此模块可以用作 UART 或 LIN，G32R501 为了兼容 LIN 的功能，增强了硬件特性。

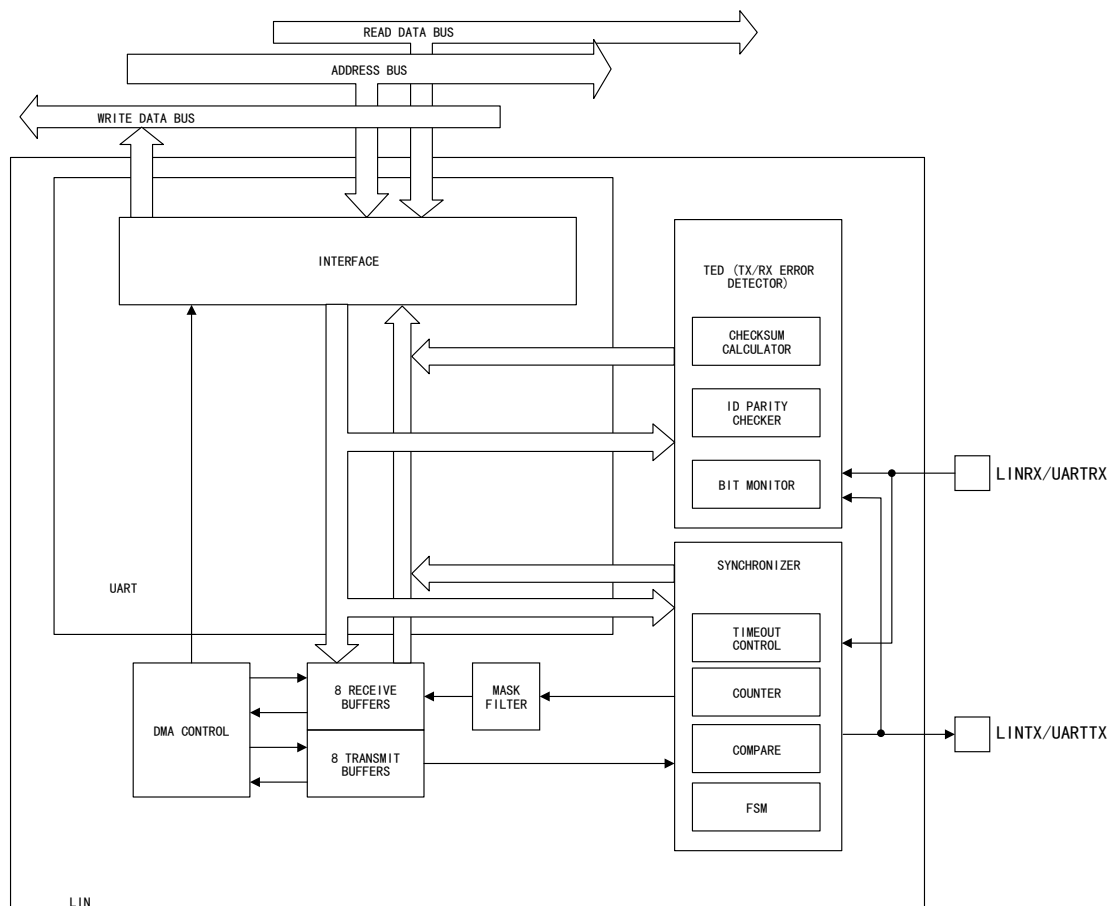
模块符合 LIN 规范包中规定的 LIN2.1 协议，LIN 标准基于 UART 串行数据链路格式，用于在网络节点之间进行多播传输。

5.11.6.1. 主要特征

- （1）符合 LIN1.3，2.0 和 2.1 协议
- （1）多缓冲接收和发送单元
- （2）主报头能够自动生成，包括以下字段
 - 同步字段
 - 可编程同步中断字段
 - 标识符字段
- （3）标识掩码，用于过滤消息
- （4）2 个有优先级编码中断线，用于接收，发送，ID，错误和状态
- （5）支持自动唤醒，能够生成唤醒信号，可配置超时时间
- （6）支持自动总线空闲检测，LIN2.0 校验和
- （7）支持错误检测，包括：
 - 奇偶校验错误
 - 同步字段错误
 - 校验和错误
 - 无响应错误
 - 总线错误
 - 位错误
- （8）支持 2^{31} 可编程传输速率（7 个小数位）
- （9）波特率最高为 20kpbs
- （10）能够通过 DMA 发送和接收数据
- （11）LINTX 和 LINRX 作为外部引脚，LINRX 主电平被收发器唤醒
- （12）从机同步功能，如下：
 - 同步验证
 - 同步中断检测
 - 更新波特率（可选）
- （13）更新唤醒/休眠
- （14）增强项：
 - 同步器有限状态机（FSM）帧，支持帧处理

- 处理扩展帧
- 波特率生成器

图 82 UART/LIN 块状结构框图



5.11.7. 四线串行接口 (QSPI)

QSPI 是一个可编程的串行数据总线接口，该接口有四种传输模式：发送和接收，仅发送，仅接收，EEPROM 读。传输模式由软件进行控制。QSPI 可以配置为串行主机或从机，主处理器可以通过 AHB 接口访问 QSPI 上的数据，控制和状态信息。此外，QSPI 通过使用一组可选的 DMA 信号，可以与 DMA 连接。

5.11.7.1. 主要特征

- (1) 集成 AHB 接口，符合 AMBA2.0 规范，数据宽度为固定 32-bit
- (2) 可配置为主机或从机模式，支持与其他串行主机或串行从机外设通信
- (3) 串行接口可配置，支持多种串行通信协议：
 - SPI
 - SSP
 - National Semiconductor Microwire
- (4) 支持 DMA 控制器接口，允许 QSPI 通过握手接口与 DMA 控制器连接。
- (5) 多主机冲突检测，可以检测到串行总线上多个串行主机的访问，并向处理器报告冲突

- (6) 在主模式下对接收的串行数据位 (rx_d) 采样时间的可编程延迟, 以实现更高的串行数据位速率
- (7) 高级 RXD 采样延迟: 在时钟的下降沿进行数据采样
- (8) 可编程特性
 - 串行接口: 支持 SPI, SSP, National Semiconductor Microwire 多种串行通信协议
 - 时钟位速率: 数据传输的串行波特率可编程
 - 时钟延伸: 增强 SPI 格式下支持时钟延伸
 - 数据项: 每次传输的数据项大小可编程为 4-32 bit
- (9) 可配置特性
 - FIFO 深度: 发送和接收 FIFO 缓冲区的深度可配置为 2-256 字, FIFO 固定位宽 32bit
 - 从设备选择输出数量: 当 QSPI 作为串行主机时, 可以生成 1-16 个串行从设备选择输出信号
 - 从设备选择控制: 可以配置为由专用的硬件从设备选择线控制或由软件控制目标串行从设备
 - 中断线从 QSPI 引出到中断控制器的方式可配置为: 单独引出或所有中断线组合成一个中断线路引出
 - 串行时钟极性和相位可配置
 - 数据预取功能可配置: 在当前 XIP 事务期间预取下一串连续操作的数据
 - 并行 XIP 和非 XIP 可配置: 可以为 XIP 数据创建一个单独的 FIFO
- (10) 增强型 SPI 模式
 - 支持增强/多通道 (双/四/八通道) SPI
 - 支持 DDR 模式, 在此模式下支持读取数据选通, 以获取更高频率
 - 指令, 地址长度, 等待周期和数据帧大小可编程
 - 可编程为跳过地址和指令段
- (11) 支持 XIP 模式
 - 指令和地址长度可编程
 - 数据帧大小直接从 AHB 传输中映射
 - 支持固定数据帧大小传输
 - 支持连续传输模式
- (12) 支持数据屏蔽
- (13) 支持 Hyperbus 协议

5.11.7.2. QSPI 电气数据和时序

表格 128 QSPI 时序要求

编号	符号	参数 ⁽¹⁾ ⁽²⁾	最小值	最大值	单位
1	f _{sck}	QSPI 时钟频率	-	62.5	MHz
2	t _{su}	输入设置时间, 所有的 QSPI IO	2	-	ns
3	t _{HD}	输入保持时间, 所有的 QSPI IO	2	-	ns
4	t _{HO}	输出保持时间, 所有的 QSPI IO	2	8	ns

编号	符号	参数 ⁽¹⁾ ⁽²⁾	最小值	最大值	单位
5	t _v	输出数据有效的时间	-	8	ns

注意:

- (1) QSPI 时序参数在 3.3V 电源、10pF 输出负载的工作条件测得。
- (2) 如果用户使用 QSPI 以高时钟频率读取外部 Flash，由于传输路径和采样时存在的延迟可能导致采样偏差，因此为了能够采样正确数据，QSPI 支持对数据延迟采样的功能，可查阅 QSPI 用户手册获取更多信息。

6. 器件特性

表格 129 器件主要特性

模块	特性	系统优势
处理性能		
实时控制 CPU	Cortex-M52: 250MHz Flash: 高达 640 KB RAM: 高达 128 KB 32 位浮点单元 (FPU32) 三角法数学单元 (TMU) 维特比复杂数学单元 (VCU)	32 位 Cortex-M52 内核为浮点或定点运算提供 250MHz 的信号处理性能。 FPU32: 支持 IEEE-754 单精度及双精度浮点运算 TMU: 使用加速器加快三角函数和算术运算执行速度, 从而提高控制应用的计算速度 (例如 PLL 和 DQ 变换)。有助于实现更快的控制环路, 提高效率和优化元件尺寸。特殊指令支持非线性 PID 控制算法。 VCU: 降低已编码应用中常见的复杂数学运算延迟
传感		
模数转换器 (ADC) (12 位)	多达 3 个 ADC 模块 3.45MSPS 采样率 高达 31 通道	ADC 对全部三相电流和直流总线进行精准并行采样, 且具有零抖动。 PPB: 后处理模块降低 ADC ISR 复杂度并缩短电流环路周期。 ADC 通道数量增多: 在多相应用中提供更高的有效 MSPS (过采样) 和典型 ENOB 以实现更好的控制环路性能。
比较器子系统 (COMP)	COMP 2 个窗口比较器 2 个 12 位 DAC DAC 斜坡生成 外部引脚上提供低 DAC 输出 数字滤波器 60ns 跳闸检测时间 斜率补偿	COMP 的应用包括: 适用于峰值电流模式控制、开关模式电源、功率因数校正和电压跳闸监控等应用。 借助模拟比较器子系统提供的消隐窗口和滤波功能, 实现 PWM 跳闸触发、消除不必要的噪声。 提供更出色的控制精度: 无需进一步的 CPU 配置即可通过比较器和 12 位 DAC (COMP) 控制 PWM。 使用同一引脚实现保护和控制。
正交编码器脉冲 (QEP)	2 个 QEP 模块	QEP 的应用包含: 用于与线性或旋转增量编码器进行直接连接, 有助于在高性能运动和位置控制系统中捕获旋转机器的位置、方向和速度信息。此外, 也可以用于对来自外部器件 (例如传感器) 的输入脉冲进行计数。
捕获器 (CAP) / 高分辨率捕获器 (HRCAP)	7 个 CAP 模块 (2 个具有 HRCAP 功能); 测量事件之间经过的时间 (最多 4 个带时间戳的事件); 通过输入 X-BAR 连接到任何 GPIO; 当未用于采集模式时, CAP 模块可配置为单通道 PWM 输出 (APWM)	CAP 的应用包含: 旋转机械的速度测量 (例如, 通过霍尔传感器感应齿状链轮) 位置传感器脉冲之间的持续时间测量 脉冲序列信号的周期和占空比测量 对来自占空比编码电流/电压传感器的电流或电压幅度进行解码
	2 个 HRCAP 通道 能够以 300ps 典型分辨率测量外部脉冲的宽度	HRCAP 的应用包含: 脉冲序列周期的高分辨率周期和占空比测量 瞬时速度测量 瞬时频率测量 在一个隔离边界上的电压测量 距离/声纳测量和扫描 流量测量 电容式触控应用

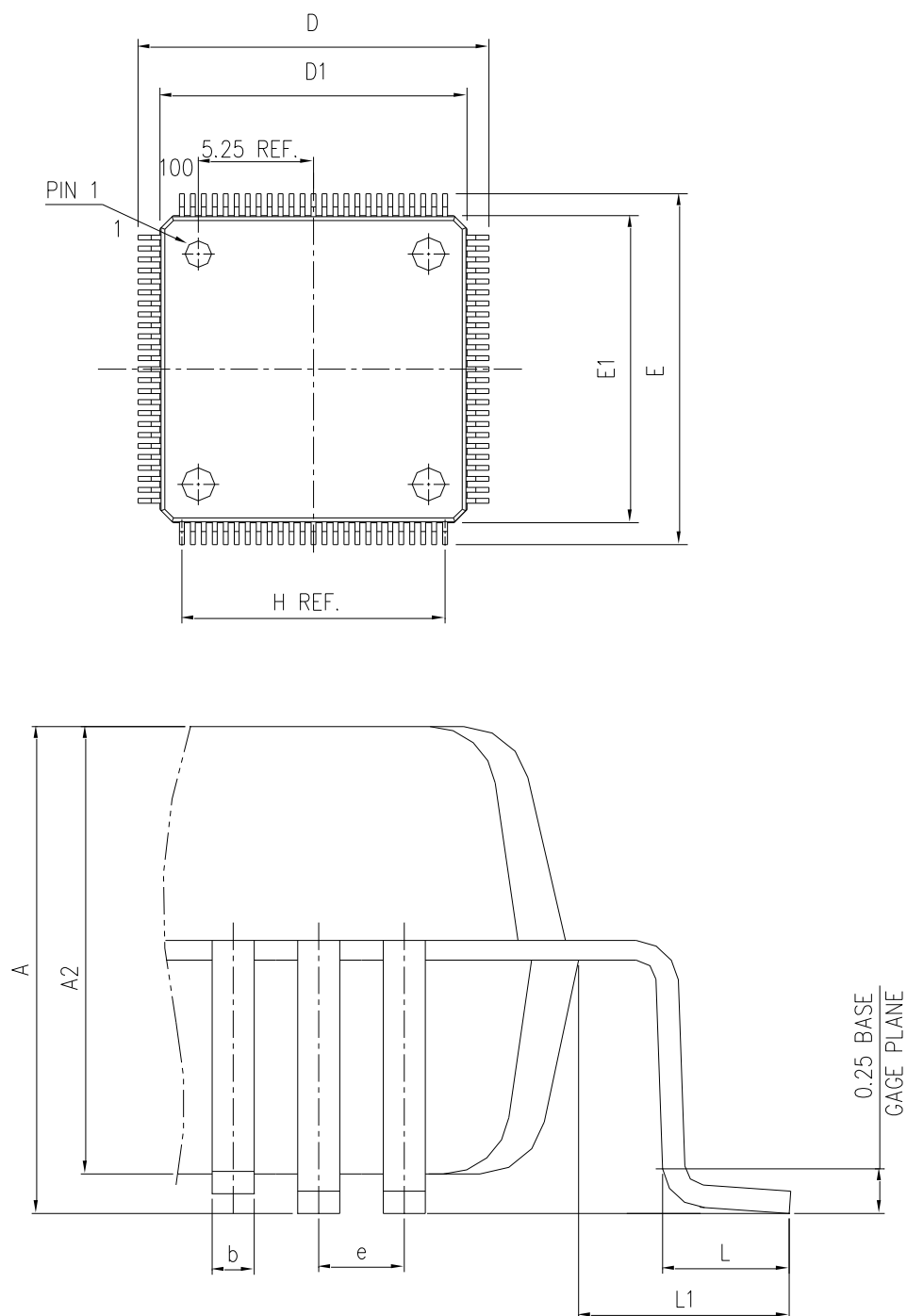
模块	特性	系统优势
驱动		
脉宽调制 (PWM)/高分辨率脉宽调制 (HRPWM)	多达 16 个 PWM 通道 能够生成具有死区的高侧/低侧 PWM 支持谷底开关 (能够在谷点切换 PWM 输出) 以及消隐窗口等特性	灵活的 PWM 波形生成功能, 具有出色的电源拓扑覆盖范围。 影子化死区和影子化动作限定器可实现自适应 PWM 生成和保护, 从而 提高控制精度并降低功率损耗。 可改善功率因数 (PF) 和总谐波失真 (THD), 在功率因数校正 (PFC) 应用中可提高轻载效率。
	HRPWM 功能 : 所有 16 个通道均提供高分辨率功能 (150ps) ; 为占空比、周期、死区以及相位偏移提供 150ps 的步长, 精度提高 99%	有助于精确控制并实现性能更佳的高频功率转换。 有助于实现更干净的波形并避免输出端产生振荡/限制周期。
	一次性和全局重新加载功能	对于变频和多相直流/直流应用至关重要, 有助于实现高频控制环路 (>2MHz) 。 能够在高频下控制交错式 LLC 拓扑。
	针对逐周期 (CBC) 跳闸事件和一次性 (OST) 跳闸事件进行独立 PWM 操作	提供逐周期保护并在故障条件下完全关闭 PWM。有助于实现多相 PFC 或直流/直流控制。
	在 SYNC 时加载 (支持在发生 SYNC 事件时的“影子到活动”加载)	支持变频应用 (允许在功率转换中进行 LLC 控制) 。
	无需软件干预即可关闭 PWM (无 ISR 延迟)	有助于在出现故障时提供快速保护
	延迟跳闸功能	有助于利用峰值电流模式控制 (PCMC) 相移全桥 (PSFB) 直流/直流转换器轻松实现死区, 无需占用大量 CPU 资源 (即使发生基于比较器、跳闸或同步输入事件的触发事件时也是如此) 。
	死区发生器 (DB) 子模块	通过向 PWM 信号上升沿 (RED) 和下降沿 (FED) 添加可编程延迟, 防止高侧和低侧栅极同时导通。
	灵活的 PWM 相位关系和计时器同步	每个 PWM 模块都能与其他 PWM 模块或其他外设同步。可使 PWM 边沿彼此保持同步或与特定事件保持同步。 支持采用特定采样窗口实现灵活的 ADC 调度, 与功率器件切换保持同步。
通信		
串行外设接口 (SPI)	2 个高速 SPI 端口	支持 25MHz
串行通信接口 (UART)	2 个 UART 模块	与控制器连接
本地互连网络 (LIN)	1 个 LIN	提供一种低成本解决方案, 无需控制器局域网 (CAN) 的带宽和容错能力。 也可用作 UART 与其他控制器进行通信。
控制器局域网 (CAN/DCAN)	1 个 DCAN 模块	能够兼容经典 CAN 模块
内部集成电路 (I2C)	1 个 I2C 模块	与外部 EEPROM、传感器或控制器连接
电源管理总线	1 个 PMBus 模块	基于硬件的无缝主机通信

模块	特性	系统优势
(PMBus)	符合 SMI Forum PMBus 规范 (第 I 部分 v1.0 和第 II 部分 v1.1)	
四线串行接口 (QSPI)	1 个 QSPI 模块	通过单、双线或四线 SPI 模式连接外部 Flash, 在接收串行数据时采样时间的可编程延时, 可达到更高的串行数据位采样比率。
其他系统特性		
安全增强功能	双区域代码安全模块 (DCS) 看门狗 寄存器写保护 丢失时钟检测逻辑 (MCD) 纠错码 (ECC) 和奇偶校验	DCS: 防止对专有代码进行复制和逆向工程 看门狗: 如果 CPU 陷入无休止的执行循环, 则会产生复位 寄存器写保护: 针对系统配置寄存器进行锁定保护, 防止虚假 CPU 写入 MCD: 自动时钟故障检测 ECC 和奇偶校验: single-bit 纠错和 double-bit 错误检测
交叉开关 (X-BAR)	可灵活连接各种配置中的器件输入、输出和内部资源。 输入 X-BAR 输出 X-BAR PWM X-BAR FLB X-BAR	增强硬件设计的通用性 : 输入 X-BAR: 将信号从任何 GPIO 路由到芯片内的多个 IP 块 输出 X-BAR: 将内部信号路由到指定的 GPIO 引脚上 PWM X-BAR: 将内部信号从各种 IP 块路由到 PWM FLB X-BAR: 允许用户将信号从各种 IP 块传输到 FLB

7. 封装信息

7.1. LQFP100 (14mm*14mm) 封装信息

图 83 LQFP100 封装图



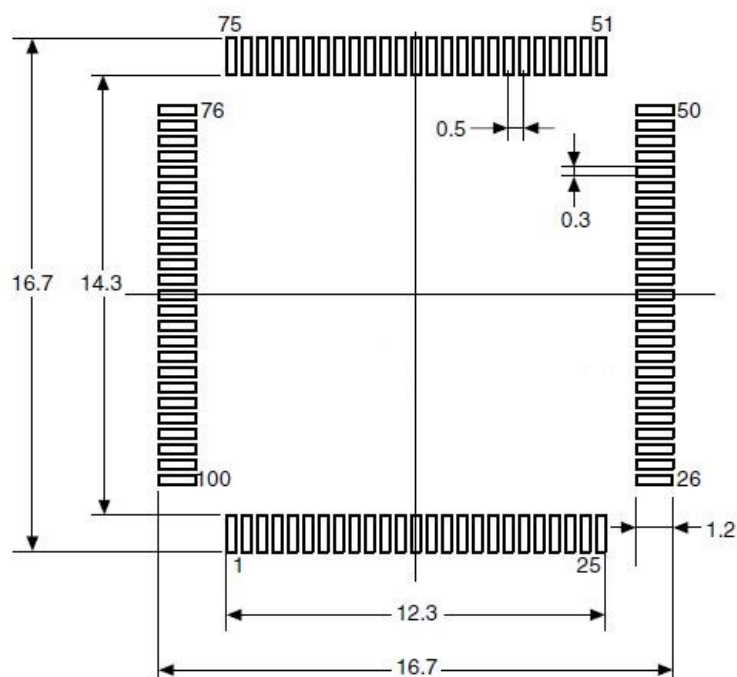
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 130 LQFP100 封装数据

DIMENSION LIST (FOOTPRINT: 2.00)			
S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.600	OVERALL HEIGHT
2	A2	1.400±0.050	PKG THICKNESS
3	D	16.000±0.200	LEAD TIP TO TIP
4	D1	14.000±0.100	PKG LENGTH
5	E	16.000±0.200	LEAD TIP TO TIP
6	E1	14.000±0.100	PKG WDTN
7	L	0.600±0.150	FOOT LENGTH
8	L1	1.000 REF	LEAD LENGTH
9	e	0.500 BASE	LEAD PITCH
10	H (REF)	(12.00)	CUM LEAD PITCH
11	b	0.22±0.050	LEAD WIDTH

注：尺寸以毫米表示。

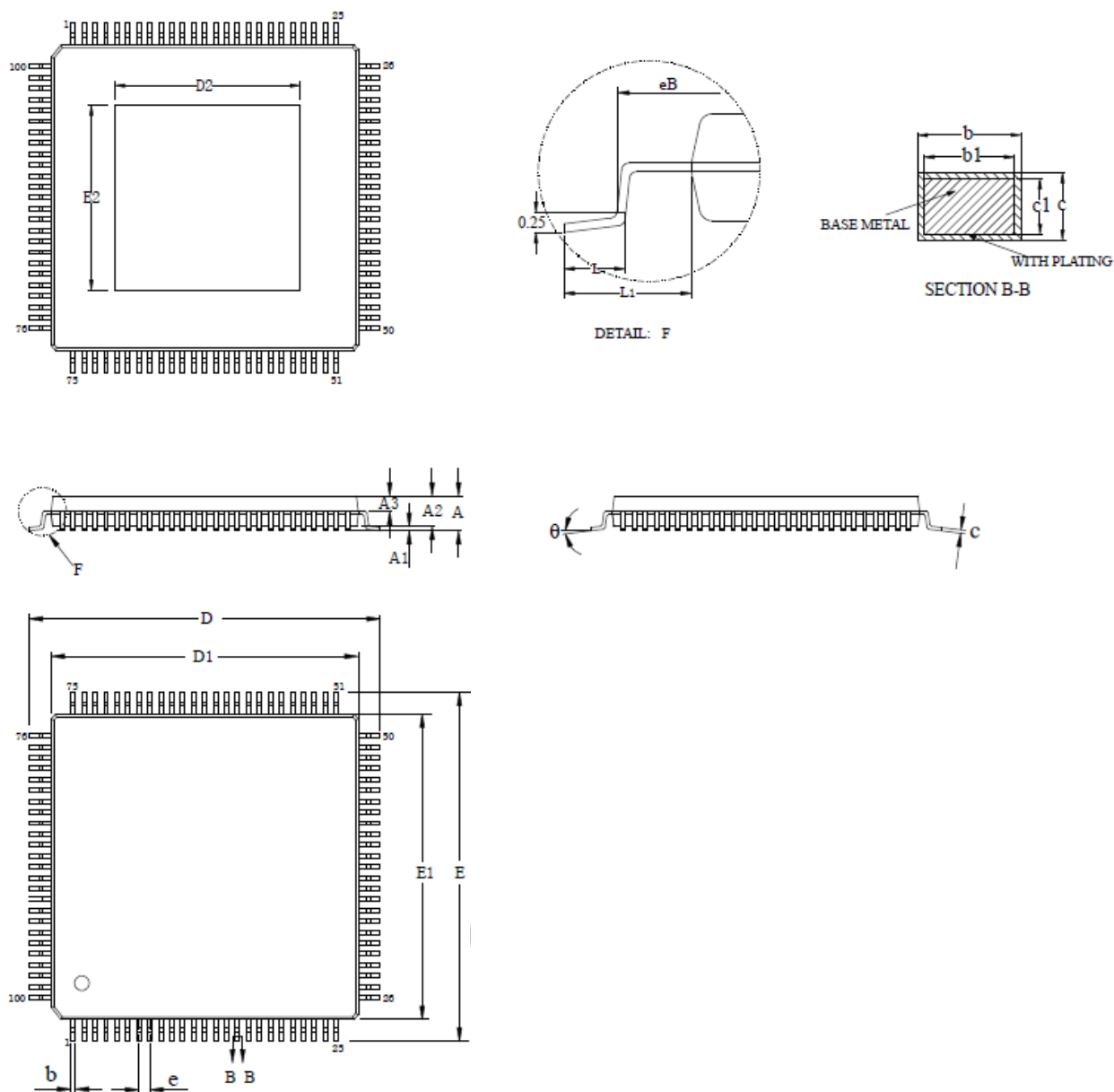
图 84 LQFP100, 14x14mm 焊接 Layout 建议



注：尺寸以毫米表示。

7.2. E-LQFP100 (14mm*14mm) 封装信息

图 85 E-LQFP100 封装图



- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 131 E-LQFP100 封装数据

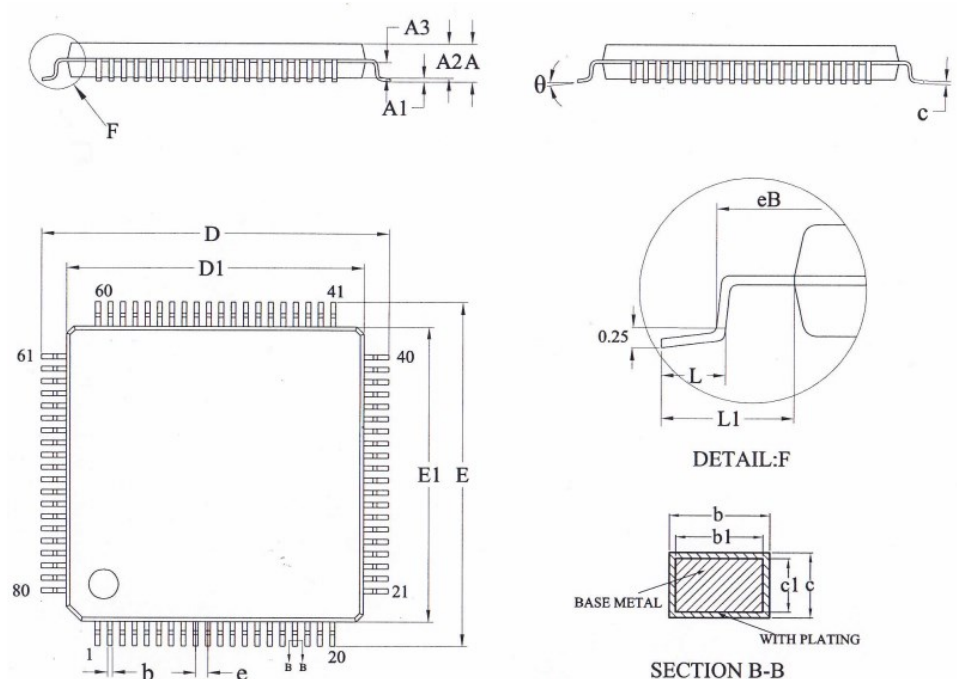
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
eB	15.05	—	15.35
e	0.50BSC		
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

L/F Size (mm) Size (mm)	D2	E2
299*299	7.60REF	7.60REF
156*174	4.41REF	3.96REF
197*197	5.00REF	5.00REF
256*256	6.50REF	6.50REF

注：尺寸以毫米表示。

7.3. LQFP80 (12mm*12mm) 封装信息

图 86 LQFP80 封装图



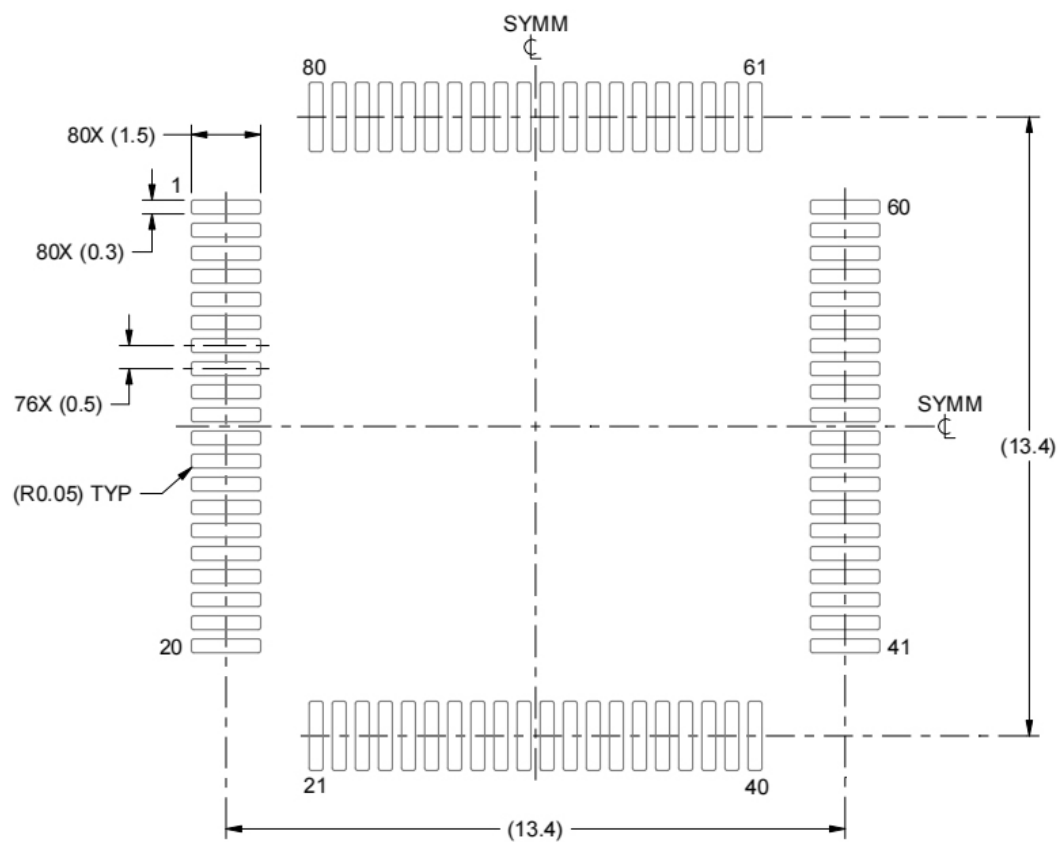
- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 132 LQFP80 封装数据

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	13.80	14.00	14.20
D1	11.90	12.00	12.10
E	13.80	14.00	14.20
E1	11.90	12.00	12.10
eB	13.05	—	13.25
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°

注：尺寸以毫米表示。

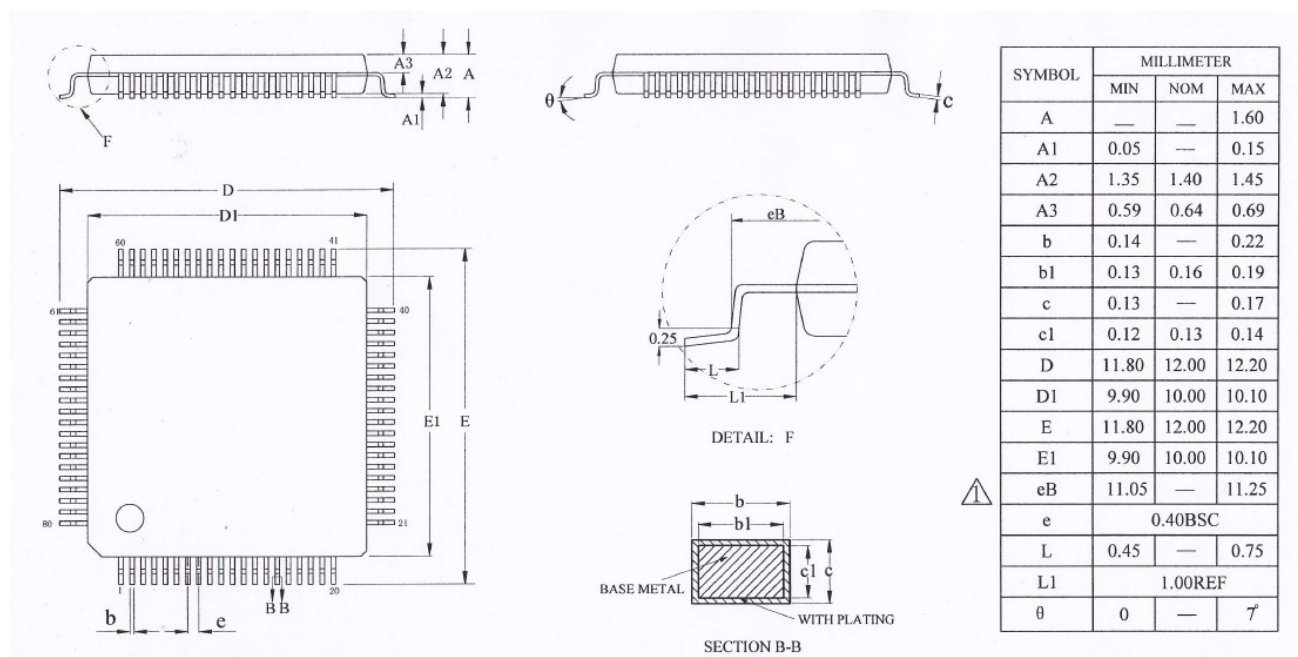
图 87 LQFP80, 12x12 mm 焊接 Layout 建议



注：尺寸以毫米表示。

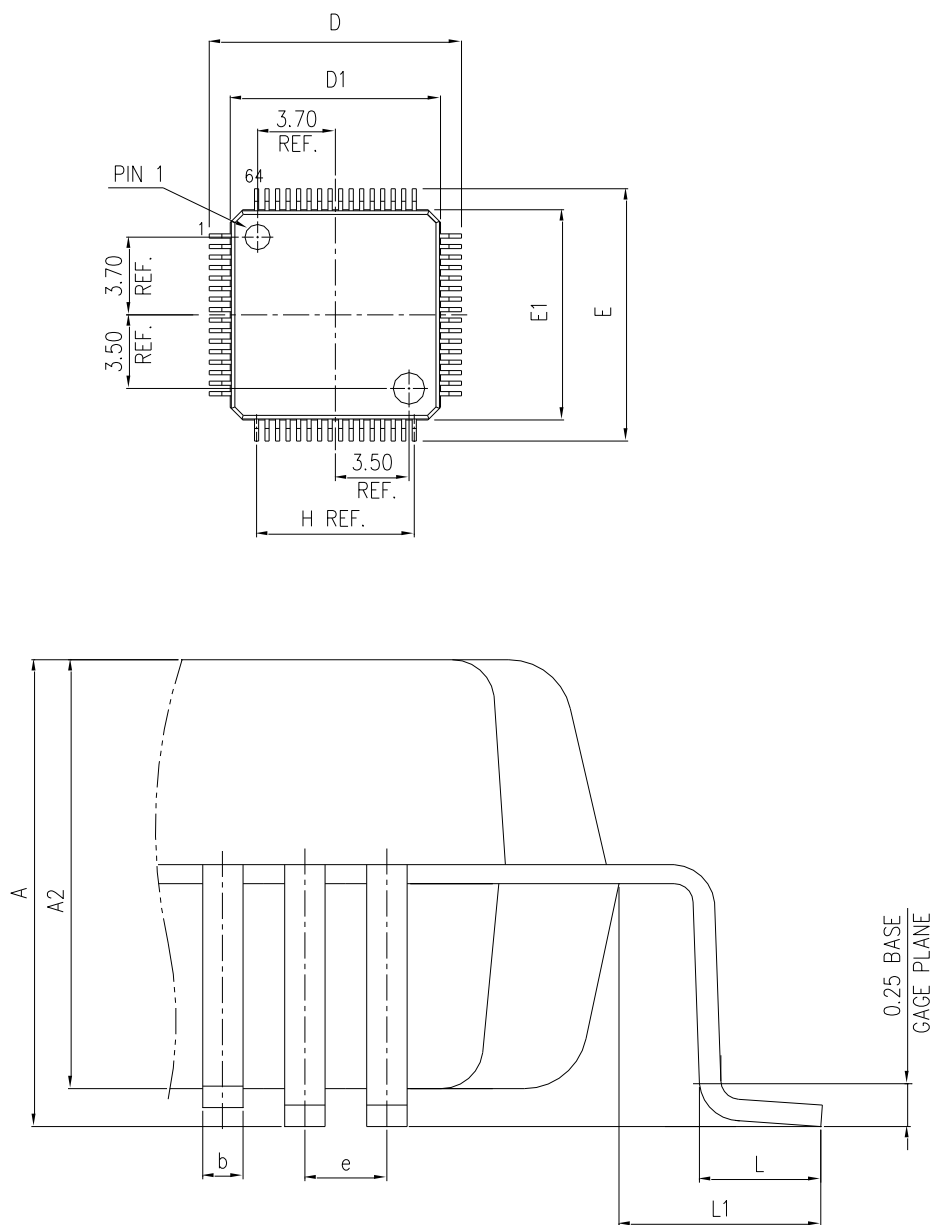
7.4. LQFP80 (10mm*10mm) 封装信息

图 88 LQFP80 (10mm*10mm) 封装信息



7.5. LQFP64 (10mm*10mm) 封装信息

图 89 LQFP64 封装图



- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

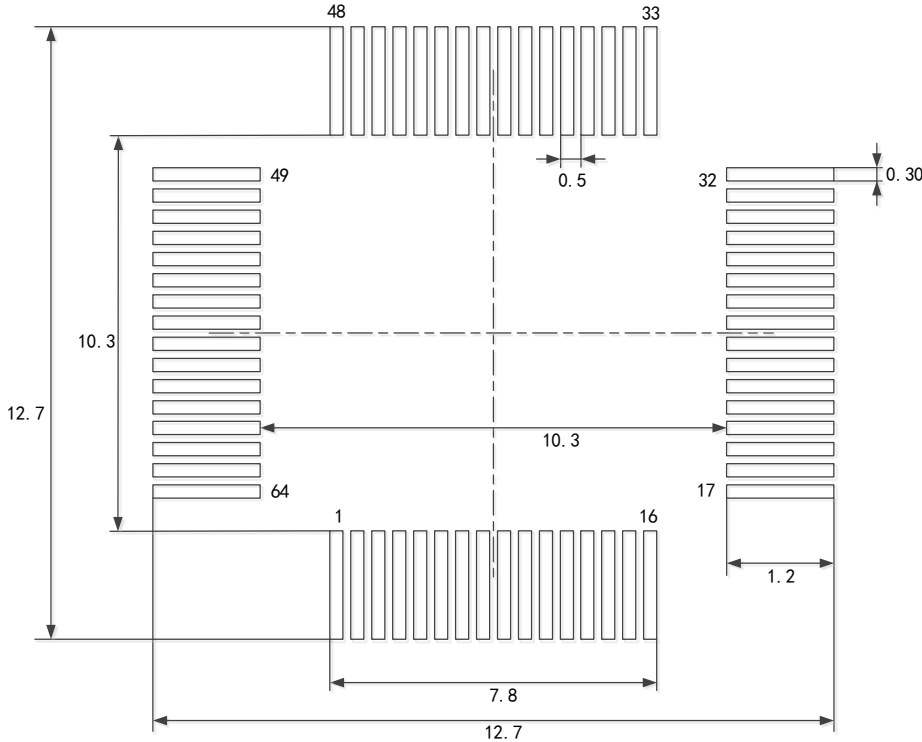
表格 133 LQFP64 封装数据

S/N	SYM	DIMENSIONS	REMARKS
1	A	MAX.1.600	OVERALLHEIGHT
2	A2	1.400±0.050	PKGTHICKNESS

LEADWIDTH

注：尺寸以毫米表示。

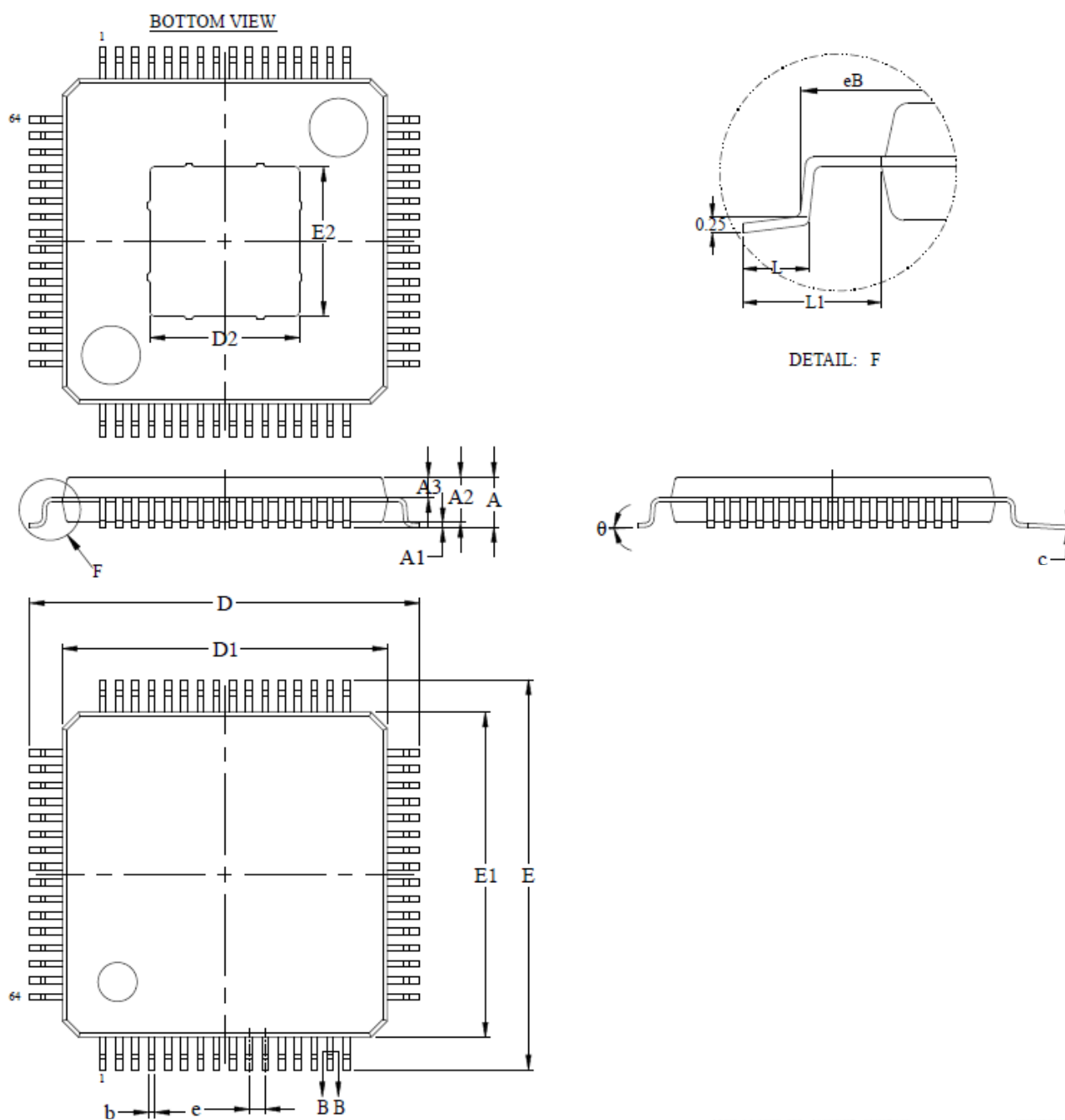
图 90 LQFP64, 10x10mm 焊接 Layout 建议



注：尺寸单位为毫米。

7.6. E-LQFP64 (10mm*10mm) 封装信息

图 91 E-LQFP64 封装图



- (1) 图不是按照比例绘制。
- (2) 所有的引脚都应该焊接在 PCB 上。

表格 134 E-LQFP64 封装数据

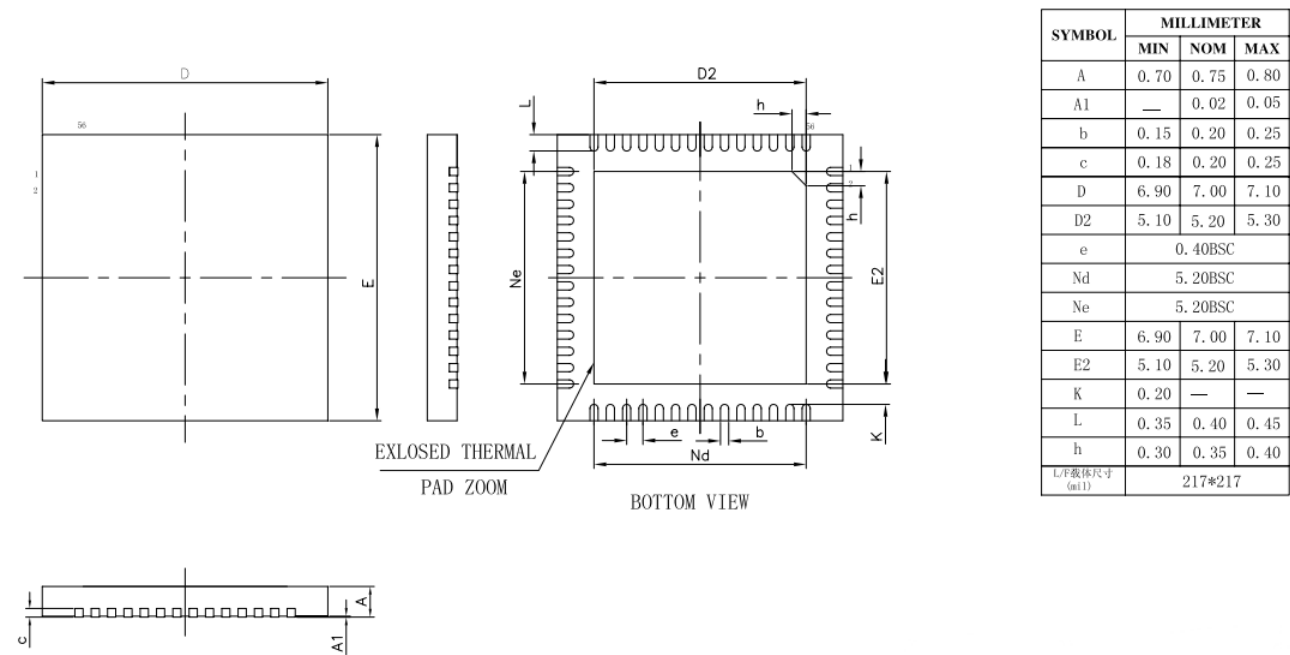
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50BSC		
eB	11.05	—	11.25
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

L/F SIZE (mil)	SIZE (mm)	D2	E2
185×185		4.69REF	4.69REF
118×118		3.00REF	3.00REF

注：尺寸以毫米表示。

7.7. QFN56（7mm*7mm）封装信息

图 92 QFN56 封装图



表格 135 丝印图说明

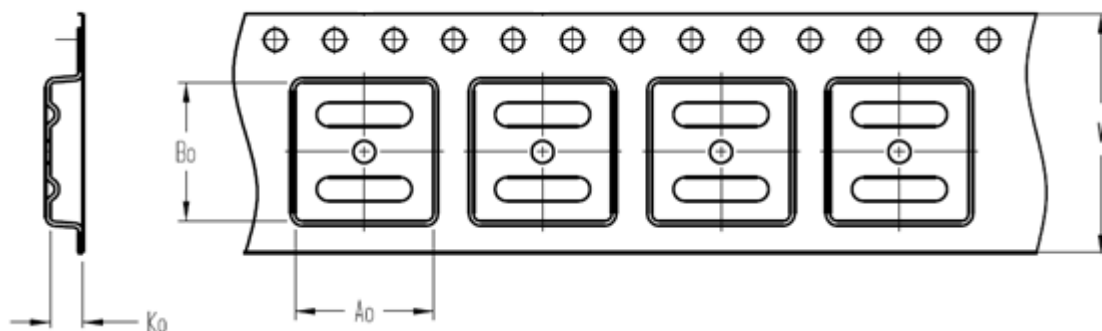
符号与图标	说明
	极海
Line1	产品系列
Line2	产品型号
Line3	产品批次号
Line4-1	内部追溯码
Line4-2	年份及周数
	Arm 授权商标
	PIN1 所在位置

注意：以上每栏位内容均不固定位数。

8. 包装信息

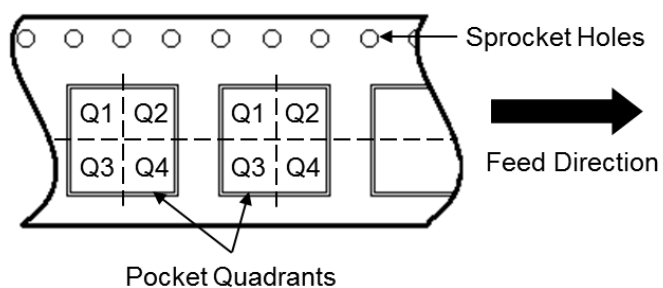
8.1. 带状包装

图 95 带状包装规格图

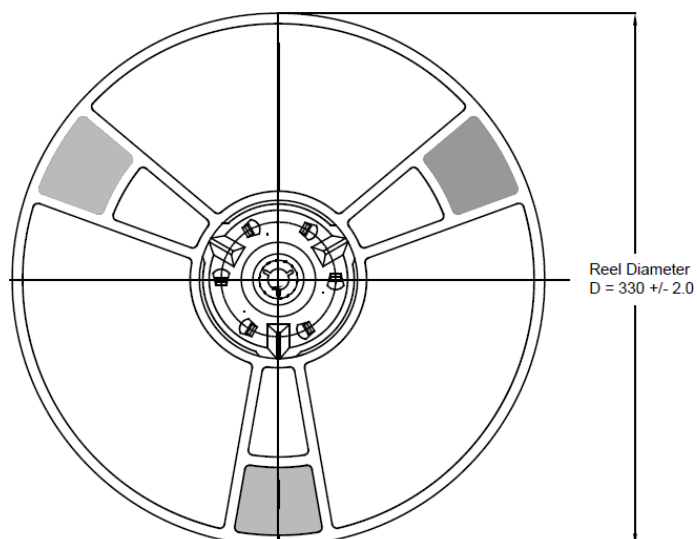


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape

Quadrant Assignments for PIN1 Orientation in Tape



Reel Dimensions



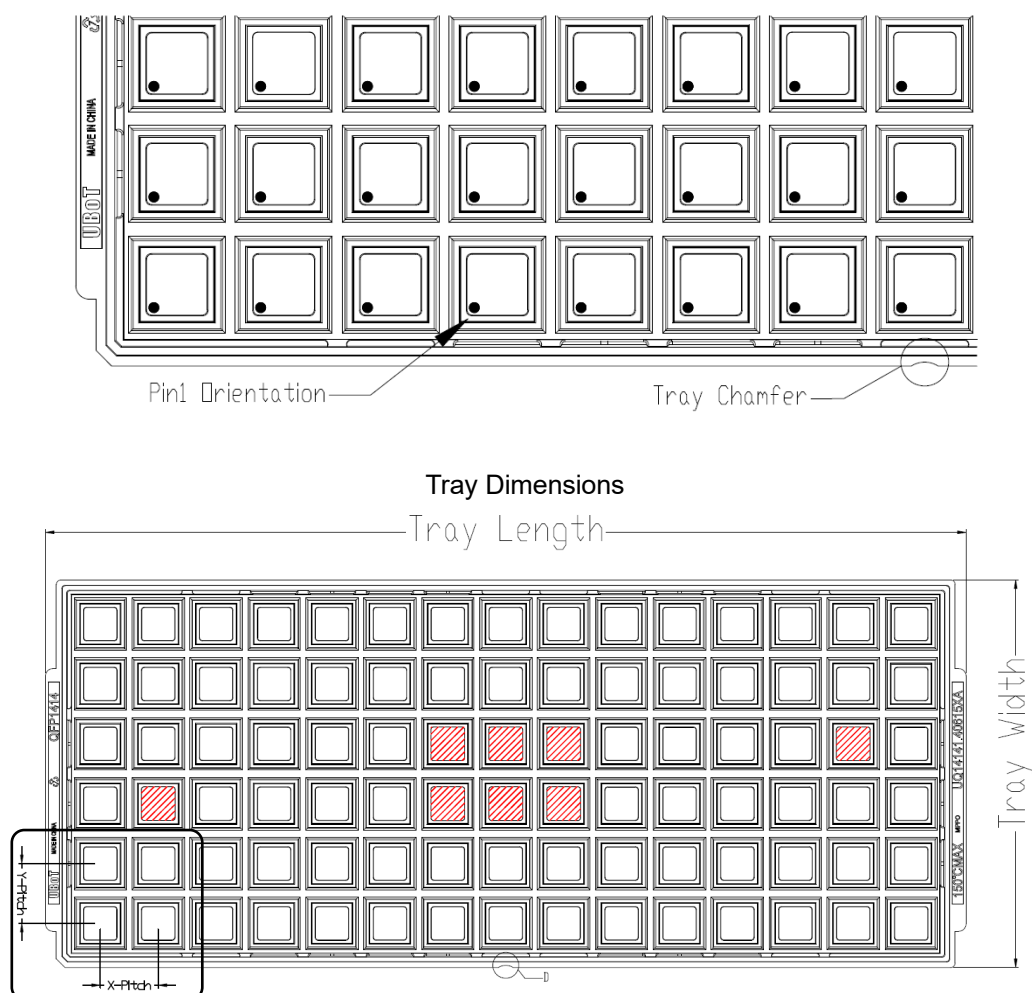
所有照片仅供参考，外观以产品为准。

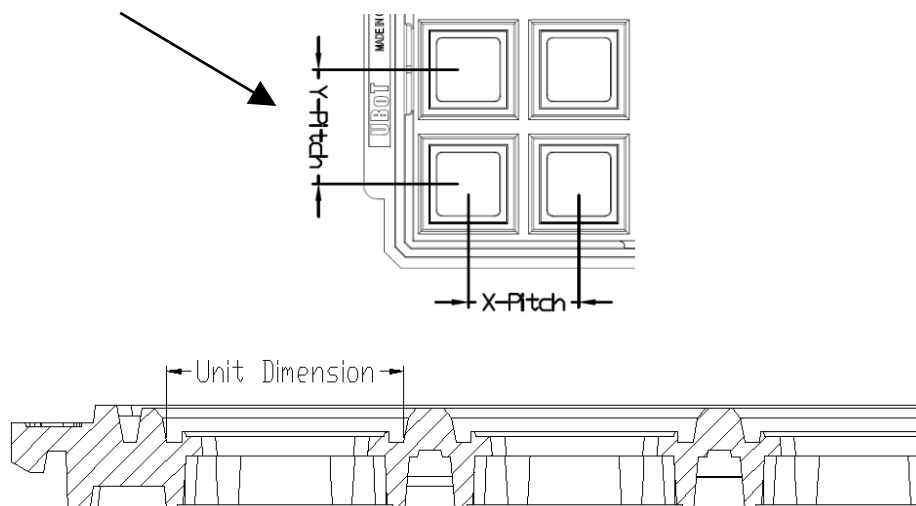
表格 136 带状包装参数规格表

Device	Package Type	Pins	SPQ	Reel Diameter (mm)	A0 (mm)	B0 (mm)	K0 (mm)	W (mm)	Pin1 Quadrant
G32R501DRYT7	LQFP	64	1500	330	12.4	12.4	2.15	24	Q1
G32R501DRYT7E	E-LQFP	64	1500	330	12.4	12.4	2.15	24	Q1
G32R501RYT7	LQFP	64	1500	330	12.4	12.4	2.15	24	Q1
G32R501RCT7	LQFP	64	1500	330	12.4	12.4	2.15	24	Q1
G32R501DRYT8Q	LQFP	64	1500	330	12.4	12.4	2.15	24	Q1

8.2. 托盘包装

图 96 托盘包装示意图





所有照片仅供参考，外观以产品为准

表格 137 托盘包装参数规格表

Device	Package Type	Pins	SPQ	X-Dimension (mm)	Y-Dimension (mm)	X-Pitch (mm)	Y-Pitch (mm)	Tray Length (mm)	Tray Width (mm)
G32R501DVYT7	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
G32R501DVYT7E	E-LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
G32R501DMYT7	LQFP	80	1190	14.8	14.8	17.9	18	322.6	135.9
G32R501DPYT7	LQFP	80	1600	12.3	12.3	15.2	15.7	322.6	135.9
G32R501DRYT7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
G32R501DRYT7E	E-LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
G32R501DNYU7	QFN	56	2500	9.7	9.7	12.2	12.6	322.6	135.9
G32R501VYT7	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
G32R501MYT7	LQFP	80	1190	14.8	14.8	17.9	18	322.6	135.9
G32R501RYT7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
G32R501NYU7	QFN	56	2500	9.7	9.7	12.2	12.6	322.6	135.9
G32R501RCT7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
G32R501DVYT8Q	LQFP	100	900	16.6	16.6	20.3	21	322.6	135.9
G32R501DRYT8Q	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9

9. 订货信息

图 97 G32R501 系列订货信息表

	G32	R	5	0	1	D	V	Y	T	8	Q
产品系列											
G32=极海32位微控制器											
产品类型											
R=高性能实时控制器 (Realtime Controller)											
内核平台 (Core platform)											
5=Cortex-M52内核											
典型特点											
0=基础配置版											
系列编号											
1=第一个产品系列											
内核配置											
D =双核											
空白=单核											
引脚数目											
V=100pin (14mm*14mm)											
M=80pin (12mm*12mm)											
P=80pin (10mm*10mm)											
R=64pin (10mm*10mm)											
N=56pin (7mm*7mm)											
Flash容量											
Y=640KB											
C=256KB											
封装形式											
T=LQFP											
U=VQFN											
温度范围											
8= -40℃~125℃											
7= -40℃~105℃											
6= -40℃~85℃											
其他选项											
Q=汽车AEC-Q100认证											
空白=非汽车AEC-Q100认证											
E=E-PAD选项											

表格 138 订货信息列表

订货编码	FLASH (KB)	SRAM (KB)	封装	包装	SPQ	温度范围
G32R501DVYT7	640	128	LQFP100	托盘	900	工业级 -40℃~105℃
G32R501DVYT7E	640	128	E-LQFP100	托盘	900	工业级 -40℃~105℃

订货编码	FLASH (KB)	SRAM (KB)	封装	包装	SPQ	温度范围
G32R501DMYT7	640	128	LQFP80	托盘	1190	工业级 -40℃~105℃
G32R501DPYT7	640	128	LQFP80 (10mm*10mm)	托盘	1600	工业级 -40℃~105℃
G32R501DRYT7	640	128	LQFP64	托盘	1600	工业级 -40℃~105℃
G32R501DRYT7	640	128	LQFP64	带状	1500	工业级 -40℃~105℃
G32R501DRYT7E	640	128	E-LQFP64	托盘	1600	工业级 -40℃~105℃
G32R501DRYT7E	640	128	E-LQFP64	带状	1500	工业级 -40℃~105℃
G32R501DNYU7	640	128	QFN56	托盘	2500	工业级 -40℃~105℃
G32R501VYT7	640	128	LQFP100	托盘	900	工业级 -40℃~105℃
G32R501MYT7	640	128	LQFP80	托盘	1190	工业级 -40℃~105℃
G32R501RYT7	640	128	LQFP64	托盘	1600	工业级 -40℃~105℃
G32R501RYT7	640	128	LQFP64	带状	1500	工业级 -40℃~105℃
G32R501NYU7	640	128	QFN56	托盘	2500	工业级 -40℃~105℃
G32R501RCT7	256	128	LQFP64	托盘	1600	工业级 -40℃~105℃
G32R501RCT7	256	128	LQFP64	带状	1500	工业级 -40℃~105℃
G32R501DVYT8Q	640	128	LQFP100	托盘	900	车规级 -40℃~125℃
G32R501DRYT8Q	640	128	LQFP64	托盘	1600	车规级 -40℃~125℃
G32R501DRYT8Q	640	128	LQFP64	带状	1500	车规级 -40℃~125℃

10. 常用模块及缩写

表格 139 常用功能模块命名

全称	简称
浮点运算单元	FPU
三角函数加速器	TMU
Viterbi/复杂数学单元	VCU
嵌套向量中断控制器	NVIC
外部中断	EXTI
通用 IO	GPIO
看门狗定时器	WDT
定时器	TMR
CRC 控制器	CRC
电源管理总线	PMBus
DMA 控制器	DMA
模拟数字转换器	ADC
数字模拟转换器	DAC
比较器子系统	COMP
实时时钟	RTC
控制器局域网	CAN
内部集成电路	I2C
串行外设接口	SPI
串行通信接口	UART
本地互连网络	LIN
四线串行接口	QSPI
交叉开关	X-BAR
数学指令扩展单元	Zidian

11. 版本历史

表格 140 文档版本历史

日期	版本	变更历史
2025.1	1.0	初始版本
2025.2	1.1	- 更新 LQFP80 封装的引脚信息 - 更新 QFN56 封装的订货信息 - 更正产品信息表封装笔误
2025.3	1.2	- 删除 5.3 章节的-40~85℃条件 - 勘误模拟子系统图 - 勘误产品丝印图 - 勘误引导模式描述 - 在产品特性章节里补充芯片尺寸的描述 - 勘误 DAC 参考电压描述 - 勘误产品信息表的 COMP 数量
2025.5	1.3	- 勘误 Boot 模式引脚编号 - 勘误产品信息表的零引脚内部振荡器名称 - 更新 CFGSMS 逻辑块描述 - 更新 LQFP80 引脚图的格式 - 更新 G32R501DPYT7 产品型号信息
2025.4	1.4	勘误 表格 5 数字信号
2025.6	1.5	- 勘误 PLL 锁定时间典型值 - 更新模拟量输出的描述术语 - 更新比较器的描述术语 - 增加 IPC 相关描述 - 更新输入限定术语
2025.8	1.6	- 更新 表格 5 数字信号 - 修改带状包装尺寸及 SPQ
2025.12	1.7	- 修改图 6 的四个“与门”为“或门” - 修改 Helium 描述内容“双拍”为“单拍” - 补充表格 90 ADC 直流特性的 TBD 数据 - 补充表格 100 DAC 交流特性的 TBD 数据
2026.4	1.8	增加 E-LQFP100 和 E-LQFP64 封装信息
2026.9	1.9	- 修正第 3.3.2 章节的表格 - 删除部分产品型号 - 修正可靠性描述

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，也不应被视为极海对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非极海在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及/或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

极海产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出极海提供的规格、应用领域、规范，极海不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标准等要求。用户对极海产品的选择和使用负全部的责任。对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册及产品而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失），这涵盖了可能导致的人身安全、财产或环境损害等情况，对于这些损害极海概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

9、语言版本和人工智能

本手册以多种语言提供。如果中文版本与翻译后的信息存在不一致，以中文版本为准。对于因第三方人工智能系统调用、解析本手册内容而产生的任何误解、偏差或损失，极海不承担任何法律责任。

©2026 珠海极海半导体有限公司 – 保留所有权利